

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ
«НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

Факультет радиотехники и электроники

“УТВЕРЖДАЮ”

Декан РЭФ

профессор, д.т.н. Хрусталеv
Владимир Александрович

“ ” _____ г.

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ

Микросхемотехника

ООП: направление 210100.62 Электроника и микроэлектроника

Шифр по учебному плану: СД(М).Ф.6

Факультет: радиотехники и электроники очная форма обучения

Курс: 3, семестр: 5

Лекции: 54

Практические работы: - Лабораторные работы: 18

Курсовой проект: 5 Курсовая работа: - РГЗ: -

Самостоятельная работа: 30

Экзамен: 5 Зачет: -

Всего: 120

Новосибирск

2011

Рабочая программа составлена на основании Государственного образовательного стандарта высшего профессионального образования по направлению (специальности): 550700 Электроника и микроэлектроника.(№ 21 тех/бак от 10.03.2000)

СД(М).Ф.6, дисциплины федерального компонента

Рабочая программа обсуждена на заседании кафедры Полупроводниковых приборов и микроэлектроники протокол № 4 от 24.05.2011

Программу разработал

старший преподаватель,

Хабаров Сергей Павлович

Заведующий кафедрой

, д.ф.м.н.

Гайслер Владимир Анатольевич

Ответственный за основную образовательную программу

, д.ф.м.н.

Гайслер Владимир Анатольевич

профессор, д.т.н.

Макуха Владимир Карпович

профессор, д.т.н.

Харитонов Сергей Александрович

1. Внешние требования

Таблица 1.1

Шифр дисциплины	Содержание учебной дисциплины	Часы
СД.М.Ф.6	Концептуальная записка по направлению 210100.62 Электроника и микроэлектроника Электронные цепи и микросхемотехника: аналоговые и цифровые схемы; цифровые интегральные схемы и их параметры; логические интегральные схемы на биполярных приборах; логические интегральные схемы на полевых приборах; бистабильные схемы.	120

2. Особенности (принципы) построения дисциплины

Таблица 2.1

Особенности (принципы) построения дисциплины

Особенность (принцип)	Содержание
Основания для введения дисциплины в учебный план по направлению или специальности	Требование федерального государственного образовательного стандарта высшего профессионального образования по направлению подготовки 210100 Электроника и микроэлектроника, квалификация "бакалавр", утв. приказом Министерства образования и науки РФ от 21 декабря 2009 г. N 743 с изменениями от 18, 31 мая 2011 г. Решение Ученого совета факультета РЭФ протокол №3 от 19.03.2008 г.
Адресат курса	Курс предназначен для бакалавров по направлению подготовки 210100 Электроника и микроэлектроника
Основная цель (цели) дисциплины	Приобретение теоретических и практических знаний по проектированию цифровых устройств.
Ядро дисциплины	Представление логических функций цифровых устройств с помощью математического аппарата булевой алгебры и оптимизация их структуры.
Связи с другими учебными дисциплинами основной образовательной программы	В данной дисциплине закладываются основы знаний необходимые в таких курсах как Микропроцессорные системы, Однокристалльные ЭВМ.
Требования к первоначальному уровню подготовки обучающихся	Для успешного изучения курса студенту необходимо знать высшую математику, физику, физику полупроводниковых приборов, радиоэлектронику, анализ электрических цепей.
Особенности организации учебного процесса по дисциплине	Учебный процесс по данной дисциплине имеет типовую структуру включающую лекции, лабораторные занятия, КП и самостоятельную работу.

3. Цели учебной дисциплины

Таблица 3.1

После изучения дисциплины студент будет

иметь представление	
1	О современных принципах построения цифровых узлов и цифровых интегральных схем на их основе.
2	О методах проектирования функциональных узлов цифровой электроники.
3	О новейших средствах разработки и моделирования функциональных узлов цифровой электроники.
знать	
4	Понятийный аппарат (терминологию) дисциплины.
5	Основные законы булевой алгебры.
6	Способы представления логических функций
7	Методы проектирования функциональных узлов комбинационного и последовательностного типов.
8	Основные типы функциональных узлов современной электроники.
9	Схемотехнику и параметры базовых логических элементов.
уметь	
10	Использовать методику проектирования функциональных узлов при решении конкретных задач.
11	Применять типовые схемные решения и типовые функциональные узлы в новых разработках.
12	Проводить анализ проектного решения на соответствие исходному заданию.
иметь опыт (владеть)	
13	Проектирования комбинационных и последовательностных устройств.

4. Содержание и структура учебной дисциплины

Лекционные занятия

Таблица 4.1

(Модуль), дидактическая единица, тема	Часы	Ссылки на цели
Семестр: 5		
Модуль: Основы цифровой электроники.		
Дидактическая единица: основы цифровой схемотехники;		
Автоматы. Конечные и бесконечные автоматы. Комбинационные автоматы. Последовательностные автоматы (автоматы с памятью). Двоичная система счисления. Основные двоичные коды. Двоичная арифметика.	2	1, 4
Модуль: Основы булевой алгебры		
Дидактическая единица: логические функции		

булевой алгебры,		
Логические операции. Аксиомы и законы булевой алгебры. Функции двух переменных. Функционально полный логический базис.	6	11, 13, 2, 4, 5
Модуль: Синтез комбинационных устройств		
Дидактическая единица: способы представления и преобразования;		
Формы представления логических функций: словесная, табличная, алгебраическая и графические формы. Совершенные дизъюнктивная и конъюнктивная нормальные формы. Карты Карно. Минимизация логических функций с помощью карт Карно. Минимизация логических функций методом Квайна-МакКласки. Приведения логической функции к заданному логическому базису. Минимизация неполностью определенных функций. Минимизация нескольких функций одних переменных.	8	1, 10, 13, 2, 3, 6, 7
Модуль: Типовые комбинационные устройства		
Дидактическая единица: основные типы функциональных узлов;		
Преобразователи кодов. Шифраторы и дешифраторы. Приоритетные шифраторы. Мультиплексоры и демультиплексоры. Уравнение мультиплексора и демультиплексора. Универсальные логические модули на основе мультиплексоров. Компараторы. Сумматоры. Синтез 1-разрядного сумматора и вычитателя. Сумматоры с ускоренным переносом.	8	1, 11, 13, 2, 7, 8
Модуль: Триггеры		
Дидактическая единица: последовательностные схемы, разновидности и методы проектирования;		
Триггеры. Асинхронные триггеры. Триггеры, синхронизируемые уровнем. Двухступенчатые MS-триггеры (триггеры, синхронизируемые фронтом). Шестиэлементный RS-триггер с динамическим управлением передним фронтом (схема трёх триггеров). Таблицы обрат-ных переходов триггеров (словари триггеров).	6	1, 8
Модуль: Последовательностные устройства		
Дидактическая единица: последовательностные схемы, разновидности и методы проектирования;		
Синтез последовательностных автоматов. Синтез автоматов Мура и автоматов Мили.	8	1, 10, 2
Модуль: Типовые последовательностные устройства		
Дидактическая единица: основные типы функциональных узлов;		
Синтез генераторов числовой последовательности. Счетчики. Регистры.	8	1, 13, 7, 8
Модуль: Схемотехника логических элементов		
Дидактическая единица: базовые логические элементы на биполярных и униполярных		

транзисторах;		
Основные характеристики логических элементов. Транзисторно-транзисторная логика. Эмиттерно-связанная логика. Интегральная инжекционная логика. Логические элементы на МОП и КМОП-транзисторах. Базовые элементы ИЛИ-НЕ и И-НЕ на МОП-транзисторах. Базовые элементы ИЛИ-НЕ и И-НЕ на КМОП-транзисторах. Особенности реализации логики на КМОП.	8	1, 11, 4, 9

Лабораторная работа

Таблица 4.2

(Модуль), дидактическая единица, тема	Учебная деятельность	Часы	Ссылки на цели
Семестр: 5			
Модуль: Основы булевой алгебры			
Дидактическая единица: логические функции булевой алгебры,			
Изучение "Micro-Cap"	Получение практических навыков работы со средой разработки и анализа аналоговых и цифровых интегральных схем.	4	10, 12, 13, 5
Дидактическая единица: способы представления и преобразования;			
Синтез логических схем по выходным временным диаграммам	Получение практических навыков составления таблицы истинности комбинационных устройств по временным диаграммам входных и выходных сигналов. Закрепление навыков минимизации структуры комбинационных устройств с помощью карт Карно.	4	1, 13, 3, 6, 7
Модуль: Типовые комбинационные устройства			
Дидактическая единица: схемотехническое проектирование функциональных узлов комбинационного типа,			
Синтез преобразователя кода	Пректирование	4	1, 11, 13,

	устройства преобразующего один код в другой (8-4-2-1 в 2-4-2-1) и проверка правильности синтеза на Micro-Cap.		2, 8
Модуль: Последовательностные устройства			
Дидактическая единица: последовательностные схемы, разновидности и методы проектирования;			
Синтез генератора числовой последовательности.	Синтез генератора чисел по индивидуальному заданию.	6	1, 11, 13, 3, 8

5. Самостоятельная работа студентов

Семестр- 5, Курсовой проект

Синтез схемы генератора чисел по индивидуальному заданию - 15 часов.

Семестр- 5, Индив. работа

Изучение лекций и работа с литературой - 10 часов

Семестр- 5, Подготовка к занятиям

Изучение лекций и работа с литературой - 5 часов.

6. Правила аттестации студентов по учебной дисциплине

Оценка знаний и умений студентов проводится в виде экзамена проводимого в устной форме. На экзамене основное внимание уделяется пониманию теоретического материала и навыкам практического применения полученных знаний. Итоговая оценка учебной деятельности студента формируется на основе следующей таблицы

№	Вид деятельности	Максимальное число баллов
1	Лабораторные занятия	$5 \cdot 4 = 20$
2	Текущая проверка знаний 1	15
3	Текущая проверка знаний 2	20
4	Активность на занятиях	5
5	Дополнительное задание	40
6	Экзамен	40

Если по результатам работы в семестре студент набрал менее 30 баллов, ему выставляется итоговая оценка "неудовлетворительно" без права последующей пересдачи.

Если студент по результатам работы в семестре набрал более 90 баллов, то без проведения экзамена ему выставляется итоговая оценка "отлично".

7. Список литературы

7.1 Основная литература

В печатном виде

1. Грушвицкий Р. И. Проектирование систем на микросхемах с программируемой структурой : [учебное пособие] / Р. И. Грушвицкий, А. Х. Мурсаев, Е. П. Угрюмов. - СПб., 2006. - 736 с. : ил., табл., схемы. - На обл. подзаг.: Состояние и перспективы развития цифровых и аналоговых программируемых БИС/СБИС ; Методология, средства и примеры проектирования с использованием САПР ; Средства системного уровня проектирования (SystemC) ; Языки описания цифровой и аналоговой аппаратуры (VHDL, VerilogHDL, VHDL-AMS).
2. Угрюмов Е. П. Цифровая схемотехника : учебное пособие для направлений 654600 и 552800 - "Информатика и вычислительная техника" (специальность 220100 "Вычислительные машины, комплексы, системы и сети") / Е. Угрюмов. - СПб., 2007. - 782 с. : ил., схемы - Рекомендовано УМО.
3. Алексенко А. Г. Основы микросхемотехники / А. Г. Алексенко. - М., 2004. - 448 с. : ил.
4. Бойт К. Цифровая электроника / К. Бойт ; пер. с нем. М. М. Ташлицкого. - М., 2007. - 471 с. : ил.
5. Новожилов О. П. Основы цифровой техники : учебное пособие / О. П. Новожилов. - М., 2004. - 526 с. : ил.

7.2 Дополнительная литература

В печатном виде

1. Уилкинсон Б. Основы проектирования цифровых схем / Б. Уилкинсон ; [пер. с англ. М. В. Бойко]. - М. [и др.] : Вильямс, 2004. - 319 с. - (Основы проектирования).

8. Методическое и программное обеспечение

8.1 Методическое обеспечение

В печатном виде

1. Люмаров П. П. Микросхемотехника : курс лекций / П. П. Люмаров ; Новосиб. гос. техн. ун-т. - Новосибирск, 2006. - 154, [1] с. : ил.
2. Подъяков Е. А. Электронные цепи и микросхемотехника. Ч. 5 : учебное пособие / Е. А. Подъяков, В. В. Орлик ; Новосиб. гос. техн. ун-т. - Новосибирск, 2009. - 150, [1] с. : схемы, табл.

В электронном виде

1. Подъяков Е. А. Электронные цепи и микросхемотехника. Ч. 5 : учебное пособие / Е. А. Подъяков, В. В. Орлик ; Новосиб. гос. техн. ун-т. - Новосибирск, 2009. - 150, [1] с. : схемы, табл.. - Режим доступа: <http://www.ciu.nstu.ru/fulltext/textbooks/2009/podyak.pdf>

9. Контролирующие материалы для аттестации студентов по дисциплине

Вопросы для подготовки к экзамену

1. Способы представления информации. Двоичные и двоично-десятичные коды. Логические функции.
2. Полный набор логических функций k -переменных. Представление логических функций в виде таблиц истинности.
3. Представление логических функций в виде карт Карно. Карты Карно для функций 2-6 переменных.
4. Булева алгебра. Основные теоремы булевой алгебры.
5. Перечень основных логических функций двух переменных. Их названия, обозначения, таблицы истинности.
6. Функционально полный логический базис. Минимальный логический базис. Преобразования из одного базиса в другой.
7. Переход от табличного представления функции к СДНФ алгебраического представления.
8. Представление логической функции в виде алгебраической совершенной конъюнктивной нормальной формы (СКНФ).
9. Минимизация логических функций с помощью карт Карно по "0" и по "1".
10. Неполностью определенные логические функции. Совместная минимизация логических функций. Критерий минимальности логического выражения.
11. Преобразование отрицательного числа в обратный код. Преобразование четырехразрядного двоичного кода в дополнительный код.
12. Преобразование двоично-десятичного кода в семисегментный код, используемый в индикаторах. Шифраторы и дешифраторы.
13. Схема преобразования сигнала цифровой клавиатуры в двоично-десятичный код. 5 баллов.
14. Приоритетные шифраторы.
15. Использование полных дешифраторов совместно со схемами ИЛИ для воспроизведения произвольных логических функций.
16. Универсальные логические модули на основе мультиплексоров.
17. Мультиплексоры и демультиплексоры. Нарращивание разрядности мультиплексоров. Использование мультиплексоров для формирования логических функций.
18. Полусумматор. Одноразрядный сумматор. N -разрядный двоичный сумматор с последовательным переносом. Вычитатель с последовательным переносом (заемом). Схема n -разрядного двоичного сумматора /вычитателя с последовательным переносом.
19. Классификация триггеров. Обозначения триггеров и их таблицы истинности. Синтез простейшего асинхронного RS-триггера в базисе И-НЕ.
20. Синтез асинхронного и синхронизируемого уровнем RS-триггера в базисе ИЛИ-НЕ. Проблемы одноступенчатых синхронных триггеров.
21. Двухступенчатые MS-триггеры, их преимущества по сравнению с одноступенчатыми триггерами.
22. Логические схемы MS-триггеров на базе элементов ИЛИ-НЕ, И-НЕ, а также триггеры с коммутируемыми БЯ (с запрещающими связями). MS-триггеры типов JK, D и T.
23. 6-элементный RS-триггер с динамическим управлением передним фронтом (схема трех триггеров).
24. Проблемы MS-триггеров, связанные с захватом "0". Преимущества 6-элементных триггеров по сравнению с MS-триггерами.
25. 6-элементные JK- и D-триггеры.
26. Таблицы обратных переходов триггеров. Взаимные преобразования триггеров.
27. Последовательностные устройства. Синтез автоматов Мили и Мура.
28. Счетчики. Классификация счетчиков. Асинхронные счетчики прямого, обратного и реверсного счета на базе T-триггеров MS-типа.

29. Синхронные последовательные счетчики прямого и реверсного счета на базе Т-триггеров MS-типа. Синхронные параллельные суммирующие счетчики на базе Т-триггеров MS-типа.
30. Двоично-кодированные синхронные кольцевые счётчики на базе D-триггеров MS-типа с чётным и нечётным коэффициентом счёта.
31. Двоично-кодированные счётчики на базе Т-триггеров MS-типа с установочным Reset входом. Каскадирование счётчиков.
32. Синтез счетчиков прямого и обратного счета на произвольных синхронных триггерах, как автоматов МИЛИ.
33. Регистры. Классификация регистров. Схема загрузки (на JK-триггерах) n - разрядного регистра. Объединение схем загрузки от нескольких источников.
34. ТТЛ элемент с нагрузочным резистором.
35. ТТЛ элемент со сложным инвертором.
36. Монтажное ИЛИ на базе ТТЛ с нагрузочным резистором. Схемы с открытым коллектором.
37. Монтажное ИЛИ на базе ТТЛ со сложным инвертором. Схемы с тремя состояниями.
38. ЭСЛ элемент. Обобщенная структура одноярусной схемы ЭСЛ элемента.
39. Обобщенная структура трехъярусной ЭСЛ-схемы. Монтажное объединение выходов многоярусной ЭСЛ - схемы.
40. Инжекционная логика - И2Л элемент. Принцип функционирования. Отличительные особенности И2Л элементов.
41. Варианты логических схем И, И-НЕ, ИЛИ, ИЛИ-НЕ, на базе И2Л логики.
42. Логические элементы на МОП - транзисторах.
43. Логические элементы на КМОП - транзисторах.