

«

»

“ ”

“ ”

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ
Основы систем автоматизированного проектирования больших интегральных схем

: 11.03.04

, :

: 3, : 6

		6
1	()	5
2		180
3	, .	84
4	, .	18
5	, .	0
6	, .	54
7	, .	25
8	, .	2
9	, .	10
10	, .	96
11	(, ,)	
12		

(): 11.03.04

218 12.03.2015 ., : 07.04.2015 .

: 1, ,

(): 11.03.04

, 5 20.06.2017

, 6 21.06.2017

:

, . -

:

. . . ., . -

:

. . . .

1.

1.1

Компетенция ФГОС: ОПК.8 способность использовать нормативные документы в своей деятельности; в части следующих результатов обучения:	
2.	,
1.	
Компетенция ФГОС: ОПК.9 способность использовать навыки работы с компьютером, владеть методами информационных технологий, соблюдать основные требования информационной безопасности; в части следующих результатов обучения:	
10.	
9.	
Компетенция ФГОС: ПК.5 готовность выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального назначения в соответствии с техническим заданием с использованием средств автоматизации проектирования; в части следующих результатов обучения:	
3.	
5.	VHDL
8.	
9.	
11.	MAX + plus II
13.	" 2.2"
15.	" "
16.	LAYEDIT
9.	LAYEDIT

2.

2.1

, , ,) (
-----------	--

.5. 8	
1.О современном уровне развития микропроцессорной техники	; ;
2.О перспективах и тенденциях развития микроэлектроники	; ;
3.Об основных направлениях применения изделий микроэлектроники	; ;
.8. 1	
4.Использовать существующие методы и способы построения электронной аппаратуры	; ;
.5. 9	
5.О этапах разработки и изготовления интегральных схем	; ;
.5. 8	
6.О способах реализации логических вентилей в виде электронных схем на чипе интегральной схемы	; ;
.8. 2	

7.Понятийный аппарат (терминологию) дисциплины		;	;
.5. 8			
8.Предмет курса: современные принципы построения электронной аппаратуры		;	;
.5. 3			
9.Схемотехнические проблемы построения узлов и устройств электронной аппаратуры		;	;
.5. 8			
10.Функциональные узлы комбинационного типа		;	;
11.Функциональные узлы последовательного типа		;	;
12.Вычислительные правила булевой алгебры		;	;
13.Поведение логических вентилях		;	;
.8. 2			
14.Основные параметры логических вентилях		;	;
15.Основы кодирования и системы счисления		;	;
.5. 8			
16.Базовые матричные кристаллы		;	;
17.Основные схемы НЕ, И и ИЛИ		;	;
.5. 3			
18.Методику и средства проектирования электронных устройств		;	;
.5. 8			
19.Триггерные устройства		;	;
20.Характеристики быстродействия логических вентилях		;	;
21.Электрические схемы КМОП, ТТЛ, ЭСЛ и И2Л вентилях		;	;
.5. 3			
22.Основы схемотехнического проектирования интегральных схем		;	;
.5. 9 LAYEDIT			
23.Проектировать топологию биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник		;	;
.5. 15 " "			
24.Выбирать топологию интегральных транзисторов и диодов из банка данных и встраивать в топологию интегральной схемы		;	;
25.Рассчитывать топологию интегральных резисторов, в т.ч. применяя средства автоматизации САПР "ПАРОМ"		;	;
.9. 10			
26.Применять систему схемотехнического проектирования MICRO-CAP 9 для схемотехнического моделирования		;	;

.5. 13		" 2.2"	
27.Применять САПР "ПАРОМ" для ввода топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник и САПР "Ковчег 3.02"			
.5. 11		MAX + plus II	
28.Применять полноцикловую систему схемотехнического проектирования MAX+plus II для схемотехнического проектирования и моделирования систем на основе ПЛИС			
.5. 16		LAYEDIT	
29.Проектирования топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник по заданной электрической схеме			
.5. 15		" "	
30.Применения САПР "ПАРОМ" для ввода топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник			
.9. 9			
31.Применения САПР "Ковчег 3.02" для проектирования БИС на базе БМК 5503 ХМ 2			
.5. 5		VHDL	
32.Применения полноциклоной системы схемотехнического проектирования MAX+plus II для схемотехнического проектирования и моделирования систем на основе ПЛИС			

3.

3.1

: 6				
:				
1.	2	2	1, 15, 2, 3, 7, 8	
:				
2.	6	4	1, 10, 11, 12, 13, 14, 15, 16, 17, 19, 20, 21, 26, 28, 29, 3, 32, 4, 6, 7, 8, 9	
:				

3.	6	4	18, 2, 22, 26, 28, 31, 32, 4, 5, 7, 8, 9	
:				
4.	5	4	10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 4, 5, 6, 7, 8, 9	
:				
5.	6	4	10, 11, 13, 14, 16, 17, 18, 19, 20, 22, 26, 28, 32, 4, 6, 7, 8, 9	

3.2

:				
: 6				
:				
1. Micro-CAP 7.	0	4	13, 14, 15, 18, 20, 22, 26, 28, 31, 32, 6, 7, 8, 9	" Micro-CAP 7"
2. Micro-CAP 7.	0	4	13, 14, 18, 20, 22, 26, 28, 31, 32, 4, 6, 7, 8	" Micro-CAP 7"
3. Micro-CAP 9.	0	4	13, 14, 18, 20, 22, 26, 28, 31, 32, 4, 6, 7, 8, 9	" " Micro-CAP 7"
:				

4.	MAX+plusII.	0	4	1, 10, 12, 13, 18, 22, 28, 3, 31, 32, 4, 5, 7, 8, 9	"	..
5.		0	4	1, 10, 12, 18, 2, 22, 28, 3, 32, 4, 7, 8, 9	"	..
6.	MAX+plus II RS- VHDL D-	0	4	1, 11, 12, 18, 19, 2, 20, 21, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 5, 7, 8, 9	"	..
:						
7.	T- JK-	0	5	1, 11, 18, 19, 2, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 5, 7, 8, 9	"	..
8.		0	5	1, 10, 12, 15, 16, 18, 2, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 7, 8, 9	"	..
9.		0	5	1, 10, 12, 18, 2, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 7, 8, 9	"	..
10.	2	0	5	1, 10, 18, 2, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 7, 8, 9	"	..
11.		0	5	1, 10, 18, 2, 22, 23, 24, 25, 27, 28, 29, 3, 30, 31, 32, 4, 7, 8, 9	"	..

12.	0	5	10, 12, 13, 14, 15, 17, 18, 20, 21, 22, 26, 28, 3, 31, 32, 4, 6, 7, 8, 9	"
-----	---	---	--	---

3.3

:				
:				
1.	0	96	1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 3, 30, 31, 32, 4, 5, 6, 7, 8, 9	.

4.

:				
1			1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 3, 30, 31, 32, 4, 5, 6, 7, 8, 9	2
<p>3-4 (200100 201500) / - ; [. . . .] . - , 2005. - 77 . : . : 3-4 (210303 210104) / - ; [. . . .] . - , 2006. - 33, [2] . : . , . - : http://www.library.nstu.ru/fulltext/metodics/2006/06_bogomolov.rar - , [. . . .] . - / ; , 2010. - 32, [2] . : . , . . - : http://elibrary.nstu.ru/source?bib_id=vtls000149088</p>				
2			1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 3, 30, 31, 32, 4, 5, 6, 7, 8, 9	4

<p>: " 2.2" : 3-4 (200100 201500) / . . . - ;[. . .].- , 2005. - 77 .: . : 3-4 (210303 210104) / . . . - ;[. . .]. - , 2006. - 33, [2] .: ., .- : http://www.library.nstu.ru/fulltext/metodics/2006/06_bogomolov.rar . . . ; . - , [. . .] .- , 2010. - 32, [2] .: ., .. - : http://elibrary.nstu.ru/source?bib_id=vtls000149088</p>				
3		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 3, 30, 31, 32, 4, 5, 6, 7, 8, 9	0	4
<p>: " 2.2" : 3-4 (200100 201500) / . . . - ;[. . .].- , 2005. - 77 .: . : 3-4 (210303 210104) / . . . - ;[. . .]. - , 2006. - 33, [2] .: ., .- : http://www.library.nstu.ru/fulltext/metodics/2006/06_bogomolov.rar . . . ; . - , [. . .] .- , 2010. - 32, [2] .: ., .. - : http://elibrary.nstu.ru/source?bib_id=vtls000149088</p>				
4		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 3, 30, 31, 32, 4, 5, 6, 7, 8, 9	96	0
<p>" 2.2" : 3.3 : 3-4 (200100 201500) / . . . - ;[. . .].- , 2005. - 77 .: . 210104) / . . . - ;[. . .].- (210303 . - , 2006. - 33, [2] .: ., : http://www.library.nstu.ru/fulltext/metodics/2006/06_bogomolov.rar . . . ; . - , [. . .] .- , 2010. - 32, [2] .: ., .. - : http://elibrary.nstu.ru/source?bib_id=vtls000149088</p>				

5.

(. 5.1).

5.1

	-
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346;
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346;

	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346;
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346;

6.

(), - 15- ECTS.
. 6.1.

6.1

	.	
: 6		
<i>Подготовка к занятиям:</i>	0	
(200100 201500) / " ; [.] . - " 2.2" : " , 2005. - 77 . : . "		3-4
<i>Дополнительная учебная деятельность:</i>	0	
(200100 201500) / " ; [.] . - " 2.2" : " , 2005. - 77 . : . "		3-4
<i>Самостоятельное изучение теоретического материала:</i>	0	
(200100 201500) / " ; [.] . - " 2.2" : " , 2005. - 77 . : . "		3-4
<i>Лекция:</i>	4	8
(200100 201500) / " ; [.] . - " 2.2" : " , 2005. - 77 . : . "		3-4
<i>Лабораторная:</i>	36	72
; , [.] . - " , 2010. - 32, [2] . : . , : / http://elibrary.nstu.ru/source?bib_id=vtls000149088		
<i>Зачет:</i>	10	20
(200100 201500) / " ; [.] . - " 2.2" : " , 2005. - 77 . : . "		3-4

6.2

6.2

.8	2.	+
	1.	+
.9	10.	+
	9.	+
.5	3.	+
	5. VHDL	+

	8.		+
	9.		+
	11.	MAX + plus II	+
	13.	" 2.2"	+
	15.	" "	+
	16.	LAYEDIT	+
	9.	LAYEDIT	+

1

7.

1. Алексенко А. Г. Основы микросхемотехники / А. Г. Алексенко. - М., 2004. - 448 с. : ил.
 2. Казеннов Г. Г. Основы проектирования интегральных схем и систем / Г. Г. Казеннов. - М., 2005. - 295 с. : ил.
 3. Богомолов Б. К. Основы проектирования электронной компонентной базы. Лабораторный практикум : учебное пособие / Б. К. Богомолов ; Новосиб. гос. техн. ун-т. - Новосибирск, 2015. - 57, [2] с. : ил. - Режим доступа: http://elibrary.nstu.ru/source?bib_id=vtls000218142
 4. Фрике К. Вводный курс цифровой электроники : учебное пособие для специализирующихся в области проектирования цифровых интегральных схем / К. Фрике ; пер. с нем. под ред. и с доп. В. Я. Кремлева. - М., 2004. - 426, [2] с. : ил., схемы, табл.
 5. Коледов Л. А. Технология и конструкции микросхем, микропроцессоров и микросборок : [учебное пособие для вузов] / Л. А. Коледов. - СПб. [и др.], 2008. - 399, [1] с.
 6. Введение в микросхемотехнику : методическое пособие для 3-4 курсов факультета РЭФ (специальности 210303 и 210104) / Новосиб. гос. техн. ун-т ; [сост. Б. К. Богомолов]. - Новосибирск, 2006. - 33, [2] с. : ил., схемы. - Режим доступа: http://www.library.nstu.ru/fulltext/metodics/2006/06_bogomolov.rar
 7. Система автоматизированного проектирования БИС "Ковчег 2.2" : методическое пособие для 3-4 курсов РЭФ (специальности 200100 и 201500) / Новосиб. гос. техн. ун-т ; [сост. Б. К. Богомолов]. - Новосибирск, 2005. - 77 с. : ил.
 8. Конструкторско-технологическое проектирование электронной аппаратуры : [учебник для вузов / К. И. Билибин, А. И. Власов, Л. В. Журавлева и др.] ; под ред. В. А. Шахнова. - М., 2005. - 563, [1] с. : ил.
-
1. Проектирование полузаказных БИС на БМК серии 5503. Кн. 2. Библиотека логических элементов 5503 / А. Н. Денисов, Ю. П. Фомин, В. В. Коняхин, С. В. Гаврилов ; под ред. А. Н. Саурова. - М., 2001. - 180 с.
 2. Гаврилов Л. П. Нелинейные цепи в программах схемотехнического моделирования / Л. П. Гаврилов. - М., 2002. - 367 с. : ил.
 3. Богомолов Б. К. Проектирование и расчёт электронных схем [Электронный ресурс] : учебно-методический комплекс / Б. К. Богомолов, Л. В. Фадеева, Л. Г. Зотов ; Новосиб. гос. техн. ун-т. - Новосибирск, [2002]. - Режим доступа: http://elibrary.nstu.ru/source?bib_id=vtls000181387. - Загл. с экрана.
 4. Денисов А. Н. Автоматизация схемотехнического проектирования аналоговых устройств : учебное пособие / А. Н. Денисов ; Новосиб. гос. техн. ун-т. - Новосибирск, 2002. - 227 с. : ил.

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Новосибирский государственный технический университет»

Кафедра полупроводниковых приборов и микроэлектроники

“УТВЕРЖДАЮ”
ДЕКАН РЭФ
д.т.н., профессор В.А. Хрусталеv
“ ____ ” _____ г.

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

УЧЕБНОЙ ДИСЦИПЛИНЫ

Основы систем автоматизированного проектирования больших интегральных схем
Образовательная программа: 11.03.04 Электроника и наноэлектроника,
профиль: Микроэлектроника и наноэлектроника

Новосибирск 2017

1. Обобщенная структура фонда оценочных средств учебной дисциплины

Обобщенная структура фонда оценочных средств по дисциплине Основы систем автоматизированного проектирования больших интегральных схем приведена в Таблице.

Таблица

Формируемые компетенции	Показатели сформированности компетенций (знания, умения, навыки)	Темы	Этапы оценки компетенций	
			Мероприятия текущего контроля (курсовой проект, РГЗ(Р) и др.)	Промежуточная аттестация (экзамен, зачет)
ОПК.8 способность использовать нормативные документы в своей деятельности	32. знать современные стандарты и технические условия, применяемые при проектировании интегральных схем	Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором. Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Общая характеристика процесса проектирования БИС. Семь уровней абстракции представления проекта. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7.		Зачет, вопросы 1-13, 1-10

		Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		
ОПК.8	у1. уметь устанавливать контроль соответствия разрабатываемых проектов стандартам и техническим условиям при машинном проектировании	Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Владение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		Зачет, вопросы 1-13, 1-10
ОПК.9 способностью использовать специализированные	у9. умеет использовать специализированные	Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором.		Зачет, вопросы 1-13, 1-10

<p>навыки работы с компьютером, владеть методами информационных технологий, соблюдать основные требования информационной безопасности</p>	<p>программные средства при решении профессиональных задач</p>	<p>Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование схем Т- и JK-триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.</p>		
<p>ОПК.9</p>	<p>у10. умеет осваивать новые программные средства для профессиональной деятельности и</p>	<p>Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором. Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Снять ВАХ полупроводниковых диодов и транзисторов.</p>		<p>Зачет, вопросы 1-13, 1-10</p>

		<p>Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.</p>	
<p>ПК.5 готовность выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального назначения в соответствии с техническим заданием с использованием средств автоматизации проектирования</p>	<p>з3. знать основы машинного проектирования интегральных схем</p>	<p>Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором. Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое</p>	<p>Зачет, вопросы 1-13, 1-10</p>

		проектирование. проектирование.	Схемотехническое	
ПК.5	35. знать особенности языка VHDL	Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором. Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		Зачет, вопросы 1-13, 1-10
ПК.5	38. знать методы и способы конструирования	Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором.		Зачет, вопросы 1-13, 1-10

	проектирования БИС	<p>Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Общая характеристика процесса проектирования БИС. Семь уровней абстракции представления проекта. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.</p>		
ПК.5	з9. знать этапы разработки интегральных схем	<p>Исследование схем Т- и JK- триггеров и схемы счётчика. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных</p>		Зачет, вопросы 1-13, 1-10

		двоичных сумматора и полусумматора. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.	
ПК.5	у9. уметь использовать САПР LAYEDIT для проектирования БИС	Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.	Зачет, вопросы 1-13, 1-10
ПК.5	у11. уметь использовать САПР MAX + plus II	Изучение и демонстрация основных возможностей Micro-CAP 7. Исследование характеристик биполярного транзистора, полевого транзистора с управляющим переходом, полевого транзистора с изолированным затвором. Исследование базовой схемы логического элемента ТТЛ. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Micro-CAP 9. Исследование появления рисков. Генераторы и формирователи импульсов. Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Принципы проектирования. Методы проектирования. Классификация методов проектирования. Макетирование. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование. Особенности проектирования ИС. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров.	Зачет, вопросы 1-13, 1-10

		Система автоматизированного проектирования фирмы Альтера MAX+plusII. Схемы одноразрядных двоичных сумматора и полусумматора. Снять ВАХ полупроводниковых диодов и транзисторов. Овладение навыками работы в программе схемотехнического моделирования Micro-CAP 7. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Типы логических схем. Метод граничных испытаний. Задачи анализа. Статистический анализ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		
ПК.5	у13. уметь использовать САПР "Ковчег 2.2" для проектирования БИС	Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		Зачет, вопросы 1-13, 1-10
ПК.5	у15. уметь использовать САПР "ПАРОМ" для ввода топологии bipolarных полупроводниковых микросхем и интегральных схем	Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		Зачет, вопросы 1-13, 1-10
ПК.5	у16. уметь использовать топологический редактор LAYEDIT	Исследование схем Т- и JK- триггеров и схемы счётчика. Исследование функционирования логической схемы кодера и декодера Хемминга. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента. Исследование функционирования схем шифраторов и указателей. Классификация		Зачет, вопросы 1-13, 1-10

		интегральных схем. Микропроцессор. Полузаказные (матричные) БИС. Программируемые логические матрицы. Аналоговые матрицы. Обобщенная структурная схема БИС. IP - блоки. Классификация параметров интегральных схем. Программирование на VHDL в среде MAX+plus II RS- и D- триггеров. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Этапы проектирования БИС. Разработка спецификации. Логическое проектирование. Схемотехническое проектирование.		
--	--	--	--	--

2. Методика оценки этапов формирования компетенций в рамках дисциплины.

Промежуточная аттестация по дисциплине проводится в 6 семестре - в форме дифференцированного зачета, который направлен на оценку сформированности компетенций ОПК.8, ОПК.9, ПК.5.

Зачет проводится в письменной форме, по билетам.

Кроме того, сформированность компетенций проверяется при проведении мероприятий текущего контроля, указанных в таблице раздела 1.

Общие правила выставления оценки по дисциплине определяются балльно-рейтинговой системой, приведенной в рабочей программе учебной дисциплины.

На основании приведенных далее критериев можно сделать общий вывод о сформированности компетенций ОПК.8, ОПК.9, ПК.5, за которые отвечает дисциплина, на разных уровнях.

Общая характеристика уровней освоения компетенций.

Ниже порогового. Уровень выполнения работ не отвечает большинству основных требований, теоретическое содержание курса освоено частично, пробелы могут носить существенный характер, необходимые практические навыки работы с освоенным материалом сформированы не достаточно, большинство предусмотренных программой обучения учебных заданий не выполнены или выполнены с существенными ошибками.

Пороговый. Уровень выполнения работ отвечает большинству основных требований, теоретическое содержание курса освоено частично, но пробелы не носят существенного характера, необходимые практические навыки работы с освоенным материалом в основном сформированы, большинство предусмотренных программой обучения учебных заданий выполнено, некоторые виды заданий выполнены с ошибками.

Базовый. Уровень выполнения работ отвечает всем основным требованиям, теоретическое содержание курса освоено полностью, без пробелов, некоторые практические навыки работы с освоенным материалом сформированы недостаточно, все предусмотренные программой обучения учебные задания выполнены, качество выполнения ни одного из них не оценено минимальным числом баллов, некоторые из выполненных заданий, возможно, содержат ошибки.

Продвинутый. Уровень выполнения работ отвечает всем требованиям, теоретическое содержание курса освоено полностью, без пробелов, необходимые практические навыки работы с освоенным материалом сформированы, все предусмотренные программой обучения учебные задания выполнены, качество их выполнения оценено числом баллов, близким к максимальному.

Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Новосибирский государственный технический университет»
Кафедра полупроводниковых приборов и микроэлектроники

Паспорт зачета

по дисциплине «Основы систем автоматизированного
проектирования больших интегральных схем», 6 семестр

1. Методика оценки

Зачет проводится в письменной форме, по билетам. Билет формируется по следующему правилу: первый вопрос выбирается из диапазона теоретических вопросов 1-13, второй вопрос из диапазона практических вопросов 1-10 (список вопросов приведен ниже). В ходе зачета преподаватель вправе задавать студенту дополнительные вопросы из общего перечня (п. 4).

Форма билета для зачета

НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
Факультет РЭФ

Билет № 1

к зачету по дисциплине «Основы систем автоматизированного
проектирования больших интегральных схем»

Вопрос 1. Общая характеристика процесса проектирования БИС.
Семь уровней абстракции представления проекта.

Вопрос 2. Вариант № 1.

Утверждаю: зав. кафедрой ППиМЭ _____ Гайслер В.А.
(подпись)

Дата _____ 2017г.

2. Критерии оценки

- Ответ на билет для зачета считается **неудовлетворительным**, если студент при ответе на вопросы не дает определений основных понятий, не способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает синтаксические ошибки, оценка составляет 0-9 баллов.
- Ответ на билет для зачета засчитывается на **пороговом** уровне, если студент при ответе на вопросы дает определение основных понятий, способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает не принципиальные ошибки, например, логические ошибки, оценка составляет 10-13 баллов.
- Ответ на билет для зачета билет засчитывается на **базовом** уровне, если студент при ответе на вопросы формулирует основные понятия, способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает ошибки, оценка составляет 14-17 баллов.
- Ответ на билет для зачета билет засчитывается на **продвинутом** уровне, если студент при ответе на вопросы проводит сравнительный анализ подходов к решению поставленной задачи, предлагает возможные другие подходы к решению задачи, не допускает ошибок и способен обосновать выбор метода решения задачи, оценка составляет 18-20 баллов.

3. Шкала оценки

Зачет считается сданным, если сумма баллов по всем заданиям билета оставляет не менее 10 баллов (из 20 возможных). Правила аттестации приведены в рабочей программе дисциплины.

В общей оценке по дисциплине баллы за зачет учитываются в соответствии с правилами балльно-рейтинговой системы, приведенными в рабочей программе дисциплины.

4. Вопросы к зачету по дисциплине «Основы систем автоматизированного проектирования больших интегральных схем»

Теоретический вопрос

1. Общая характеристика процесса проектирования БИС. Семь уровней абстракции представления проекта.
2. Классификация интегральных схем. Микропроцессор.
3. Полузаказные (матричные) БИС.
4. Программируемые логические матрицы. Аналоговые матрицы.
5. Обобщенная структурная схема БИС. IP – блоки.
6. Классификация параметров интегральных схем.
7. Принципы проектирования.
8. Методы проектирования. Классификация методов проектирования. Макетирование.
9. Физическое моделирование. Расчет по аналитическим выражениям. Математическое моделирование.
10. Особенности проектирования ИС.
11. Этапы проектирования БИС.
12. Разработка спецификации.
13. Логическое проектирование.

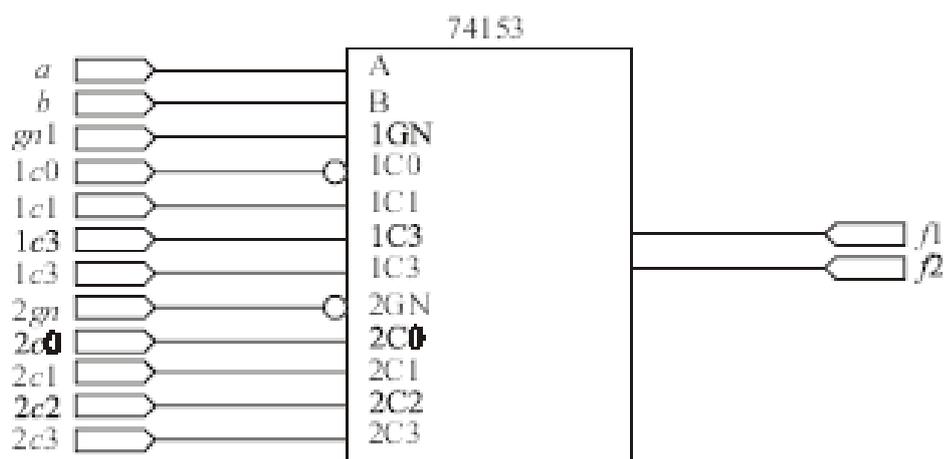
Практический вопрос

Общее задание: Привести в отчете по зачёту ТИ устройства и скриншоты результатов моделирования работы устройства (временные диаграммы) и подробно описать результат этого сравнения. Сдать файл отчёта и файл MAXplus+II, выслав по e-mail.

ВАРИАНТЫ

Вариант № 1.

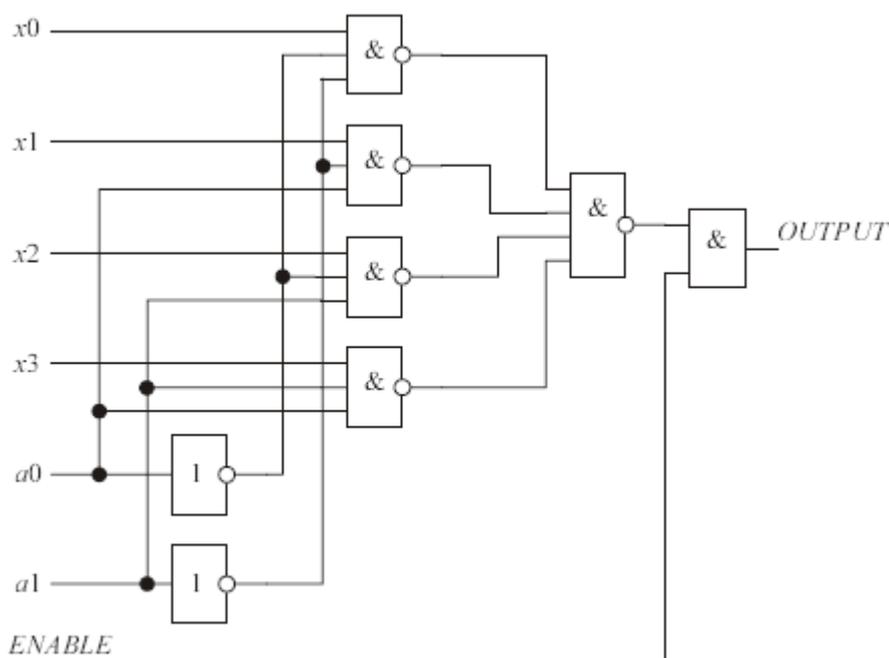
Исследуйте работу элемента 74153 библиотеки mf



Элемент 74153

Вариант № 2.

Создайте графический проект мультиплексора MUX 4-1



Логическая схема мультиплексора

Вариант № 3.

Создать в графическом редакторе проект схемы двухразрядного сдвигающего регистра на D-триггерах (элемент DFF) с одним тактовым входом

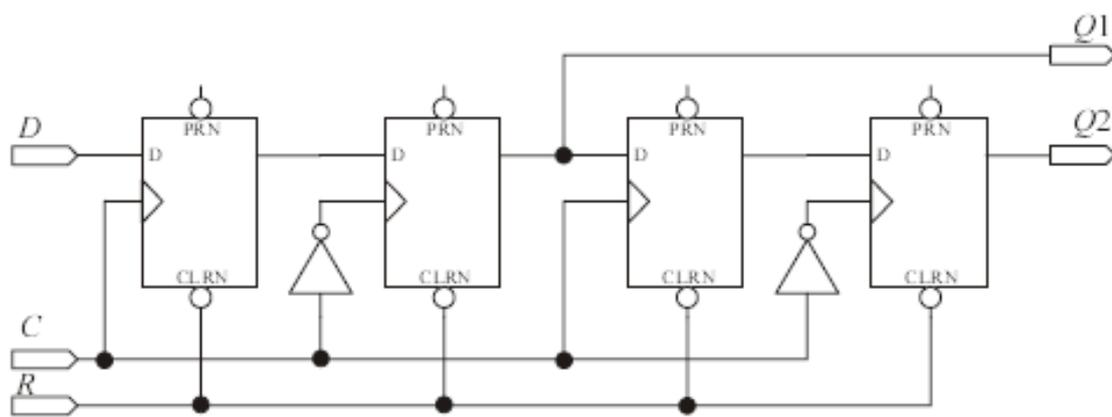


Схема двухразрядного одноклокового сдвигающего регистра

Вариант № 4.

Создайте проект дешифратора

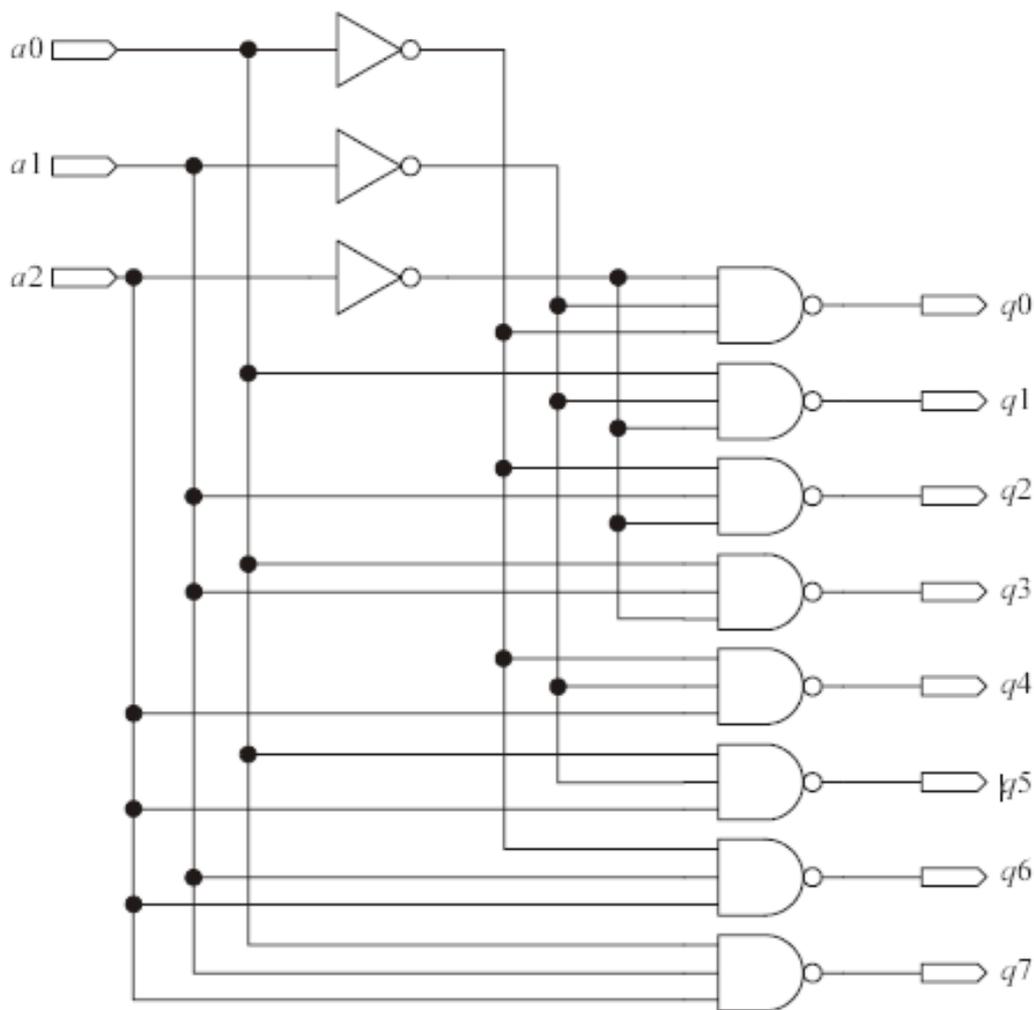


Схема дешифратора
для преобразования 3-битного двоичного кода в код "1 из 8"

Вариант № 5.

Создайте проект триггера типа JK-RS

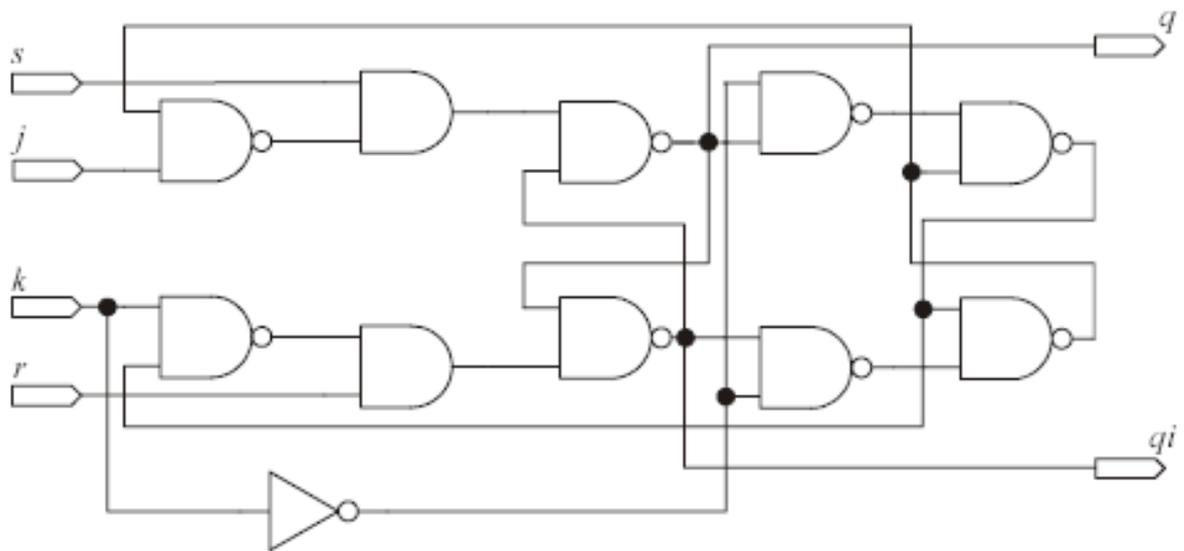
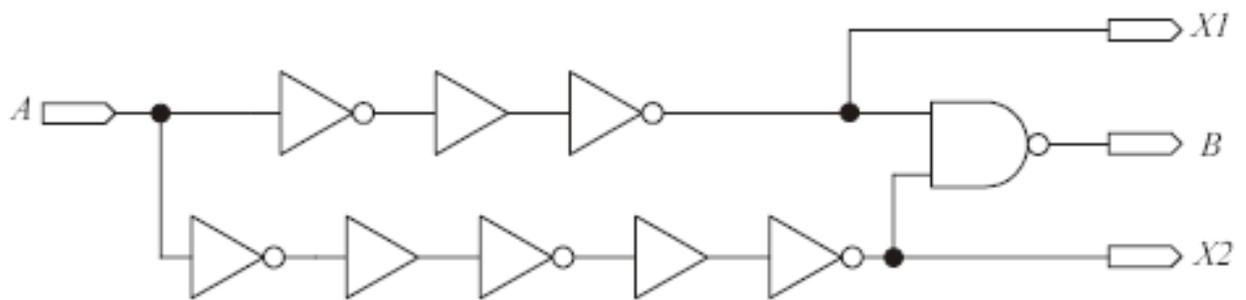


Схема JK-RS-триггера

Вариант № 6.

Исследовать процесс появления рисков в схеме устройства.



Схема, демонстрирующая появление рисков

Вариант № 7.

Создать в графическом редакторе проект схемы D-триггера на элементах "И-НЕ" (элемент nand2)

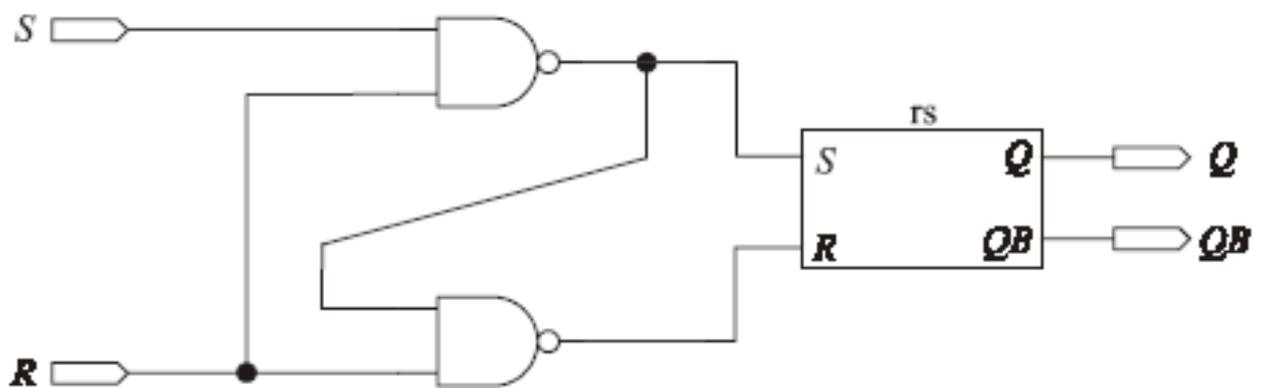


Схема D-триггера

Вариант № 8.

Создайте проект триггера типа TRS

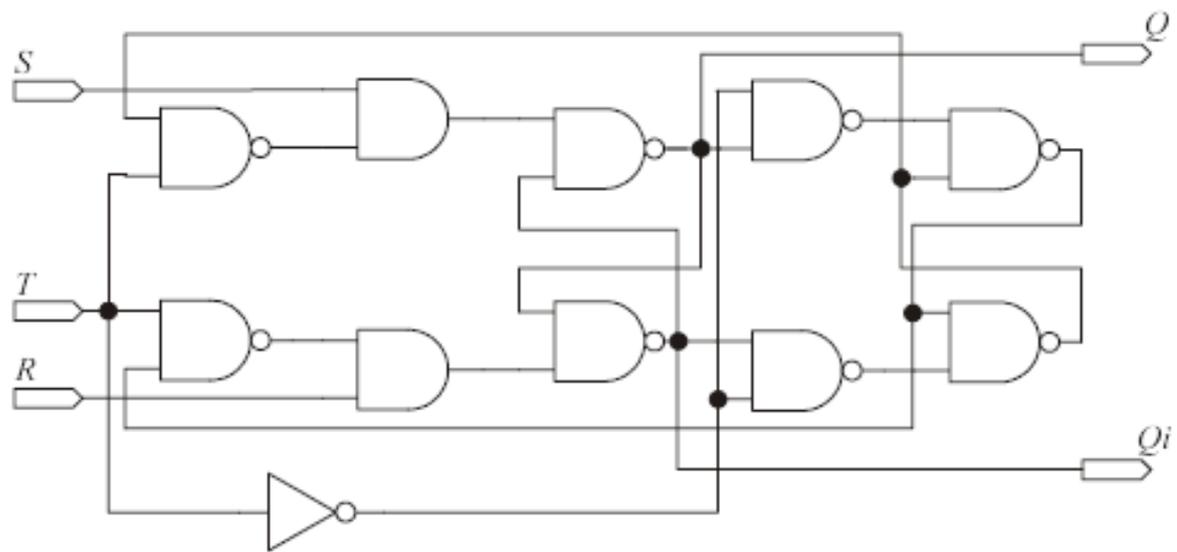
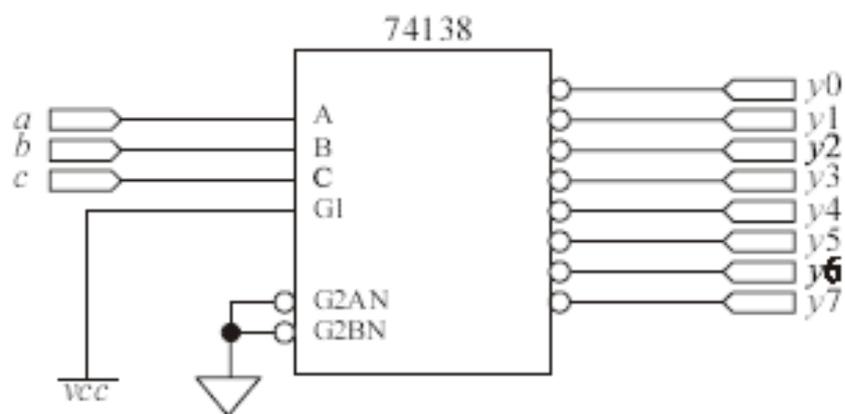


Схема TRS-триггера

Вариант № 9.

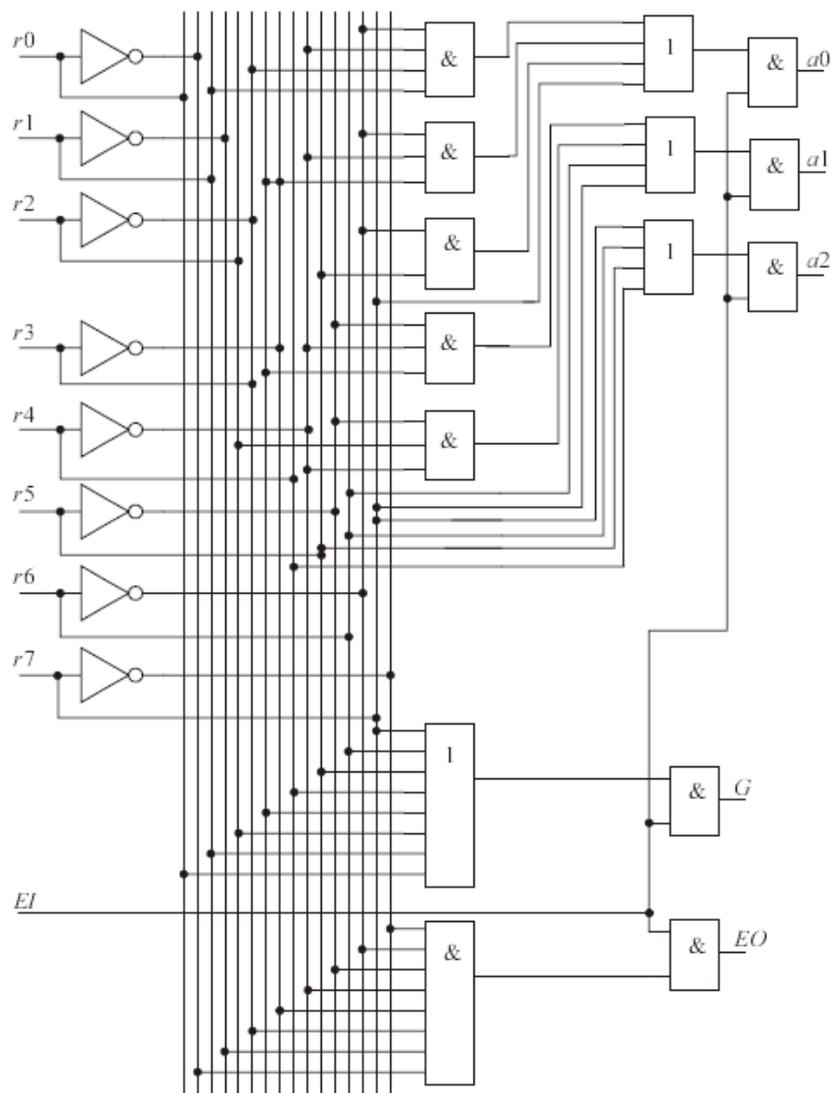
Исследуйте работу элемента 74138 библиотеки mf



Элемент 74138

Вариант № 10.

Спроектируйте схему приоритетного шифратора



Логическая схема шифратора