

«

»

“ ”

“ ”

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ
Основы проектирования электронной компонентной базы

: 11.03.04

, :

: 4, : 8

		8
1	()	3
2		108
3	, .	79
4	, .	28
5	, .	0
6	, .	42
7	, .	8
8	, .	2
9	, .	7
10	, .	29
11	(, ,)	.
12		

1.

1.1

Компетенция ФГОС: ПК.2 способность аргументированно выбирать и реализовывать на практике эффективную методику экспериментального исследования параметров и характеристик приборов, схем, устройств и установок электроники и нанoeлектроники различного функционального назначения; <i>в части следующих результатов обучения:</i>	
4.	
Компетенция ФГОС: ПК.3 готовность анализировать и систематизировать результаты исследований, представлять материалы в виде научных отчетов, публикаций, презентаций; <i>в части следующих результатов обучения:</i>	
1.	
Компетенция ФГОС: ПК.5 готовность выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального назначения в соответствии с техническим заданием с использованием средств автоматизации проектирования; <i>в части следующих результатов обучения:</i>	
1.	
10.	
12.	
14.	
17.	
3.	

2.

2.1

	(
--	---	--

.2. 4	
1. О этапах разработки интегральных схем	; ;
.3. 1	
2. О современном уровне развития микропроцессорной техники	; ;
3. О перспективах и тенденциях развития микроэлектроники	; ;
4. Понятийный аппарат (терминологию) дисциплины	; ;
.5. 1	
5. О способах реализации логических вентилей в виде электронных схем на чипе интегральной схемы	; ;
.5. 10	
6. Об основных направлениях применения изделий микроэлектроники	; ;
.5. 1	
7. О способах реализации логических вентилей в виде электронных схем на чипе интегральной схемы	; ;

8. Основные приемы разработки эскиза, предварительного и окончательного варианта топологии интегральной схемы	;	;
.5. 10	;	
9. Предмет курса: методы проектирования топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник	;	;
.5. 17		
10. Выбирать топологию интегральных транзисторов и диодов из банка данных и встраивать в топологию интегральной схемы.	;	;
11. Определять число изолированных областей и размещать необходимое их количество на поверхности чипа	;	;
12. Проектировать фигуры совмещения и тестовые структуры	;	;
13. Рассчитывать топологию интегральных резисторов, в т.ч. применяя средства автоматизации САПР "ПАРОМ"	;	;
.5. 3		;
14. Проектировать топологию биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник по заданной электрической схеме	;	;
.5. 12		
15. Осуществлять зашивку базовой ячейки поля БМК 5503 ХМ 2	;	;
.5. 14		
16. Применять САПР "ПАРОМ" для ввода топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник	;	;
17. Применять САПР "Ковчег 2.2" для проектирования БИС на базе БМК 5503 ХМ 2	;	;
.5. 12		
18. Понятийный аппарат (терминологию) дисциплины	;	;
.5. 17		
19. Предмет курса: методы проектирования топологии биполярных полупроводниковых микросхем и интегральных схем на основе структур металл - диэлектрик - полупроводник	;	;
.5. 10	;	
20. Основные приемы разработки эскиза, предварительного и окончательного варианта топологии интегральной схемы	;	;
.2. 4		
21. Ограничения на минимальные расстояния между элементами интегральной схемы и ограничения на их размеры	;	;
22. Перечень конструкторско-технологической документации на новую интегральную схему	;	;

23. Уметь оформлять законченные проектно-конструкторские работы				
5. 12				
24. Знать закономерности формирования и развития малых групп исполнителей				
25. Уметь организовывать законченную проектную работу в малой группе				

3.

3.1

: 8				
:				
1.	1	4	15, 16, 17, 18, 19, 2, 21, 22, 23, 24, 25, 3, 4, 6, 9	
:				
2.	1	4	1, 12, 16, 17, 20, 5, 7	
-				

4.

(" ").

1

4

1, 10, 11, 12,
13, 14, 16, 9

:

,

.

.

5.

n+-p-n

1

4

1, 10, 11, 12,
13, 14, 16, 20,
21, 22, 8, 9

:

.

-

.

.

1.	0	4	1, 10, 11, 14, 16, 18, 19, 20, 21, 22, 23, 24, 25, 5, 7, 8	PGRED, " 1. 2. PGRED ,
:				
2.	0	8	1, 10, 11, 12, 13, 14, 15, 16, 18, 19, 20, 21, 23, 24, 25, 4, 5, 7, 8, 9	PGRED PGRED , , (3 (Word) e-mail
3.	0	8	1, 10, 11, 14, 16, 18, 19, 20, 21, 22, 23, 24, 25, 4, 5, 7, 8, 9	1. , 2, () , " " " " 2. , " " 3.

<p>4.</p> <p>" "</p>	<p>0</p>	<p>4</p>	<p>1, 10, 11, 12, 14, 16, 18, 19, 20, 21, 22, 23, 24, 25, 4, 5, 7, 8, 9</p>	<p>" "</p> <p>MicroCAP</p> <p>(Word)</p> <p>e-mail</p>
<p style="text-align: center;">:</p>				

<p>5.</p> <p>8-</p>	<p>0</p>	<p>8</p>	<p>1, 17, 18, 2, 24, 25, 3, 4, 5, 6, 7</p>	<p>STUDY.SCH < 1>, < >,, 8- STUDY.SCH < 2>, < >, 8- 3.SCH < 3>, < >.</p>
---------------------	----------	----------	--	--

<p>6.</p> <p>8-</p>	<p>0</p>	<p>4</p>	<p>1, 10, 17, 18, 2, 24, 25, 3, 4, 5, 6, 7</p>	<p>8-</p> <p>.</p> <p>8-</p> <p>:</p> <p>.</p> <p>(Word)</p> <p>.</p> <p>.</p> <p>AND</p> <p>.</p> <p>*.SCH</p> <p><</p> <p>7>.</p> <p>>.</p> <p>()</p> <p>.</p> <p>(Word)</p> <p>e-mail,</p> <p>.</p>
---------------------	----------	----------	--	--

7.	8- 5503	0	6	1, 15, 17, 18, 2, 24, 25, 3, 4, 5, 6, 7 pgred.exe. 5503. 3.02.. 3.02.
----	------------	---	---	---

3.3

	,	.		
: 8				
:				
8.	0	27	1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	

4.

: 8				
1		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	1	1
<p>" 2.2" : 3-4 (200100 201500) / . . . - ; [. . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 : - / ; - , , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>				
2		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	1	2
<p>2.2" : 3-4 " (200100 201500) / - ; [. . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 : - / ; - , , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>				
3		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	0	2
<p>: " 2.2" : 3-4 (200100 201500) / - ; [. . . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 : - / ; - , , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>				
4		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	0	1

<p>3-4 (200100 201500) / . . . - ; [. . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 / ; - , - , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>			
5		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	0 1
<p>3-4 (200100 201500) / - ; [. . . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 / ; - , - , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>			
6		1, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 2, 20, 21, 22, 23, 24, 25, 3, 4, 5, 6, 7, 8, 9	27 0
<p>3.3 : " 2.2" : , 3-4 (200100 201500) / - ; [. . . .] . - , 2005. - 77 . : / ; - . - , 2015. - 57, [2] . : .. - : http://elibrary.nstu.ru/source?bib_id=vtls000218142 / ; - , - , 2010. - 32, [2] . : .. , .. - : http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf</p>			

5.

(. 5.1).

5.1

	-
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346; ;
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346; ;
	e-mail:b_bogomolov@mail.ru; :nstu.ru/kaf/persons/346; ;

12.			+		+	+
14.			+		+	+
17.			+		+	+
3.			+		+	+

1

7.

1. Богомолов Б. К. Основы проектирования электронной компонентной базы. Лабораторный практикум : учебное пособие / Б. К. Богомолов ; Новосиб. гос. техн. ун-т. - Новосибирск, 2015. - 57, [2] с. : ил. - Режим доступа: http://elibrary.nstu.ru/source?bib_id=vtls000218142

2. Коледов Л. А. Технология и конструкции микросхем, микропроцессоров и микросборок : [учебное пособие для вузов] / Л. А. Коледов. - СПб. [и др.], 2008. - 399, [1] с.

3. Конструкторско-технологическое проектирование электронной аппаратуры : [учебник для вузов / К. И. Билибин, А. И. Власов, Л. В. Журавлева и др.] ; под ред. В. А. Шахнова. - М., 2005. - 563, [1] с. : ил.

4. Немудров В. Системы-на-кристалле. Проектирование и развитие / В. Немудров, Г. Мартин. - М., 2004. - 212 с. : ил.

1. Каретников И. А. Топология микросхем : лаб. работы № 1-4 : метод. пособие по курсу «Базовые элементы микросхем», по направлению – «Электроника и микроэлектроника» / И. А. Каретников ; под ред. А. М. Гуляева. – М. : Изд-во МЭИ, 2002 г. – 38 с.

2. Мурога С. Системное проектирование сверхбольших интегральных схем. В 2 кн.. Кн. 1 : пер. с англ. / С. Мурога ; под ред. В. М. Кисельникова. - М., 1985. - 288 с. : ил.

3. Микросхемы для линейных источников питания и их применение : справочник. - М., 1998. - 400 с. : ил.

4. Богомолов Б. К. Проектирование и расчёт электронных схем [Электронный ресурс] : учебно-методический комплекс / Б. К. Богомолов, Л. В. Фадеева, Л. Г. Зотов ; Новосиб. гос. техн. ун-т. - Новосибирск, [2002]. - Режим доступа: http://elibrary.nstu.ru/source?bib_id=vtls000181387. - Загл. с экрана.

5. Проектирование ИС. Разработка топологии : программа курса и методические указания для студентов РЭФ заочного отделения (специальность 200100) / Новосиб. гос. техн. ун-т ; [сост. Б. К. Богомолов]. - Новосибирск, 2001. - 41 с.. - Режим доступа: http://elibrary.nstu.ru/source?bib_id=vtls000023223

6. Коледов Л. А. Конструирование и технология микросхем : Курсовое проектирование: Для вузов по спец. "Конструирование и пр-во радиоаппаратуры" и "Конструирование и пр-во электрон. -вычисл. аппаратуры" / Л. А. Коледов , В. А. Волков, Н. И. Докучаев и др. ; Под ред. Л. А. Коледова. - М., 1984. - 231 с. : ил.

7. Проектирование специализированных КМОП БИС на основе БМК 5501ХМ2 : учеб. пособие / В. В. Ермак, В. В. Хрунов, А. А. Анискович [и др.] ; под ред. В. В. Ермака ; Моск. гос. ин-т электрон. техники (техн. ун-т), НПК «Технол. Центр». – М. : МГИЭТ (ТУ) : НПК «Технол. Центр», 1996. – 180 с.

8. Рабаи Ж. М. Цифровые интегральные схемы : методология проектирования / Ж. М. Рабаи, А. Чандракасан, Б. Николич ; [пер. с англ. и ред. А. В. Назаренко]. – [2-е изд.]. – Москва [и др.] : Вильямс, 2007. – 911 с. – (Prentice Hall по электронике и СБИС).

9. Марченко А. Л. Основы электроники : учеб. пособие для вузов / А. Л. Марченко. – М. : ДМК Пресс, 2008. – 296 с.

1. ЭБС НГТУ : <http://elibrary.nstu.ru/>

2. ЭБС «Издательство Лань» : <https://e.lanbook.com/>

3. ЭБС IPRbooks : <http://www.iprbookshop.ru/>

4. ЭБС "Znanium.com" : <http://znanium.com/>

5. :

8.

8.1

1. Богомолов Б. К. Проектирование БИС : лабораторный практикум : учебно-методическое пособие / Б. К. Богомолов ; Новосиб. гос. техн. ун-т, Фак. радиотехники, электроники и физики. - Новосибирск, 2010. - 32, [2] с. : ил., табл. - Режим доступа: <http://www.ciu.nstu.ru/fulltext/textbooks/2010/bogom.pdf>

2. Система автоматизированного проектирования БИС "Ковчег 2.2" : методическое пособие для 3-4 курсов РЭФ (специальности 200100 и 201500) / Новосиб. гос. техн. ун-т ; [сост. Б. К. Богомолов]. - Новосибирск, 2005. - 77 с. : ил.

8.2

1 САПР Ковчег 2.2

2 Micro-Cap (microcap) 9.0.7.0

3 САПР ПАРОМ

9.

1	(- , ,)	(- , ,)

1	(Internet)	

1. **Обобщенная структура фонда оценочных средств учебной дисциплины**

Обобщенная структура фонда оценочных средств по дисциплине Основы проектирования электронной компонентной базы приведена в Таблице.

Таблица

Формируемые компетенции	Показатель и сформированности компетенций (знания, умения, навыки)	Темы	Этапы оценки компетенций	
			Мероприятия текущего контроля (курсовой проект, РГЗ(Р) и др.)	Промежуточная аттестация (экзамен, зачет)
ПК.2 способность аргументированно выбирать и реализовывать на практике эффективную методику экспериментального исследования параметров и характеристик приборов, схем, устройств и установок электроники и нанoeлектроники различного функционального назначения	34. знать этапы проектирования электронно й компонентной базы	Ввод принципиальной логической схемы и разработка топологии 8-канального таймера Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Матричные БИС как объект проектирования. Стандартные, заказные и полузаказные БИС. БМК или вентильная матрица. Трудоемкость разработки заказных и матричных БИС. Сравнение различных методов проектирования. Микроконтроллеры. Классификация БМК. Основные характеристики и конструкция БМК 5503 ХМ 2. Топология базовой ячейки БМК 5503 ХМ 2. Технологический маршрут изготовления КМОП БИС на базе БМК 5503 ХМ 2. Электрическая схема базовой ячейки БМК 5503 ХМ 2. Специализация базовой ячейки БМК 5503 ХМ 2. Основные правила формирования "зашивок" библиотечных элементов. Магистральная ячейка, ее топология и электрическая схема. Каналы трассировки. Варианты реализации межсоединений БИС в канале трассировки. Библиотека элементов нулевого уровня. Альтернативная библиотека. Библиотека макроблоков. Детектор переднего фронта DET. Корпусирование БИС на основе БМК 5503 ХМ 2. Проектирование архитектуры системы. Проектирование логических и электрических схем. Проектирование топологии. Изготовление опытного образца ИС. Измерение характеристик ИС. Сравнительная трудоемкость этапов проектирования БИС и СБИС. Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ" Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практически е вопросы 1-21

	<p>"ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального n+-p-n транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Сигнал. Радиоэлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС. Динамика производства основных типов ИС на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и структура МОП-транзистора. Минимально допустимые размеры элементов МОП ИС. Конструирование МОП-транзисторов и топологии чипа на их основе. Два метода проектирования топологии ИС. Разработка эскиза топологии МОП ИС. Исходные данные при разработке топологии МОП ИС. Высококачественные МОП-транзисторы. Разводка в МОП ИС. МОП ИС с произвольной логикой и с регулярной структурой. Программируемые логические матрицы. Логические матрицы, программируемые потребителем. Минимизация площади чипа МОП ИС. Распределение площади между элементами БИС с произвольной логикой. Статические и</p>	
--	---	--

		динамические МОП ИС. Комплементарные МОП ИС. Сравнение характеристик КМОП ИС и ИС других типов. Совершенствование КМОП ИС. КМОП-структуры на сапфировой подложке. БиКМОП ИС. Сравнение типов ИС. Быстродействие. Производство времени задержки на мощность. Сборка электронной системы на БИС. Правило Рента. Правила проектирования Мида - Конвей. Контактные окна. Методы торцевого и скрытого контактов. Нагрузочные транзисторы в МОП ИС. Трассировка межсоединений при помощи САПР "ПАРОМ".		
ПК.3 готовность анализировать и систематизировать результаты исследований, представлять материалы в виде научных отчетов, публикаций, презентаций	31. методы моделирования приборов и устройств вакуумной, плазменной, твердотельной, микроволновой электроники;	Ввод принципиальной логической схемы и разработка топологии 8-канального таймера Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Сигнал. Радиоэлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС. Динамика производства основных типов ИС на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Трассировка межсоединений при помощи САПР "ПАРОМ".	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практические вопросы 1-21
ПК.5 готовность выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального	31. методы расчета элементов аналоговых и цифровых интегральных схем;	Ввод принципиальной логической схемы и разработка топологии 8-канального таймера Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Проектирование архитектуры системы. Проектирование логических и электрических схем. Проектирование топологии. Изготовление опытного образца ИС. Измерение характеристик ИС. Сравнительная трудоемкость этапов проектирования БИС и СБИС. Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ"	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практические вопросы 1-21

<p>назначени я в соответст вии с техническ им заданием с использов анием средств автоматиз ации проектиро вания</p>	<p>Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального n+-p-n транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и структура МОП-транзистора. Минимально допустимые размеры элементов МОП ИС. Конструирование МОП-транзисторов и топологии чипа на их основе. Два метода проектирования топологии ИС. Разработка эскиза топологии МОП ИС. Исходные данные при разработке топологии МОП ИС. Высококачественные МОП-транзисторы. Разводка в МОП ИС. МОП ИС с произвольной логикой и с регулярной структурой. Программируемые логические матрицы. Логические матрицы, программируемые потребителем. Минимизация площади чипа МОП ИС. Распределение площади между элементами БИС с произвольной логикой. Статические и динамические МОП ИС. Комплементарные МОП ИС. Сравнение характеристик КМОП ИС и ИС других типов. Совершенствование КМОП ИС. КМОП-структуры на сапфировой подложке. БиКМОП ИС. Сравнение типов ИС. Быстродействие. Производство времени задержки на мощность. Сборка электронной системы на БИС. Правило Рента. Правила проектирования Мида - Конвей. Контактные окна. Методы торцевого и скрытого</p>		
---	---	--	--

		контактов. Нагрузочные транзисторы в МОП ИС. Трассировка межсоединений при помощи САПР "ПАРОМ".		
ПК.5	310. методы проектирования электронно-компонентной базы;	<p>Ввод принципиальной логической схемы и разработка топологии 8-канального таймера</p> <p>Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Проектирование архитектуры системы. Проектирование логических и электрических схем. Проектирование топологии. Изготовление опытного образца ИС. Измерение характеристик ИС. Сравнительная трудоемкость этапов проектирования БИС и СБИС. Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера</p> <p>Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ"</p> <p>Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального n+-р-п транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Сигнал. Радиоэлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС.</p>	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практические вопросы 1-21

	<p>Динамика производства основных типов ИС на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и технология изготовления интегрального эпитаксиально-планарного биполярного транзистора. Комплект фотошаблонов для изготовления интегрального биполярного транзистора. Этапы изготовления, совмещённая топология, асимметричная и симметричная конструкции интегрального биполярного транзистора. Этапы проектирования планарных биполярных транзисторов. Банк данных по топологии планарных биполярных транзисторов. Топология одноэмиттерного интегрального биполярного транзистора. Топология одноэмиттерного интегрального биполярного транзистора с малым сопротивлением коллектора, а также с малым сопротивлением базы и высоким коэффициентом усиления. Топология многоэмиттерного интегрального биполярного транзистора. Топология интегрального биполярного транзистора с общим коллектором. Топология и технология изготовления структуры интегрального диода. Конструирование и выбор структуры интегральных диодов. Пять вариантов диодного включения биполярного транзистора. Банк данных по топологии интегральных диодов. Топология интегрального диода на переходе база-коллектор и база-эмиттер. Конструирование и выбор структуры интегральных резисторов. Исходные данные для расчёта геометрических размеров интегральных резисторов. Диффузионные интегральные резисторы на основе эмиттерной и базовой областей. Высокоомный интегральный резистор ("меандр"). Эпитаксиальные интегральные резисторы. Диффузионные и эпитаксиальные интегральные пинч-резисторы. Ионно-легированные интегральные резисторы на основе базовой и коллекторной областей. Тонкоплёночные интегральные резисторы. Конструирование и выбор структуры интегральных конденсаторов. Исходные данные для расчёта геометрических размеров интегральных конденсаторов. Диффузионные интегральные конденсаторы на основе переходов эмиттер-база, база-коллектор, коллектор-подложка. Трассировка межсоединений при помощи САПР "ПАРОМ".</p>		
--	---	--	--

ПК.5	у3. обеспечивать конструктивную реализацию материалов и элементов электронной техники в приборах и устройствах электроники и нанoeлектроники;	<p>Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ". Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального n+-р-n транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и структура МОП-транзистора. Минимально допустимые размеры элементов МОП ИС. Конструирование МОП-транзисторов и топологии чипа на их основе. Два метода проектирования топологии ИС. Разработка эскиза топологии МОП ИС. Исходные данные при разработке топологии МОП ИС. Высококачественные МОП-транзисторы. Разводка в МОП ИС. МОП ИС с произвольной логикой и с регулярной структурой. Программируемые логические матрицы. Логические матрицы, программируемые потребителем. Минимизация площади чипа МОП ИС. Распределение площади между элементами БИС с произвольной логикой. Статические и динамические МОП ИС. Комплементарные МОП ИС. Сравнение характеристик КМОП ИС и ИС других типов. Совершенствование КМОП ИС. КМОП-структуры на сапфировой подложке. БиКМОП ИС. Сравнение типов ИС. Быстродействие. Производство времени</p>	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практически е вопросы 1-21
------	---	---	---	---

	<p>задержки на мощность. Сборка электронной системы на БИС. Правило Рента. Правила проектирования Мида - Конвей. Контактные окна. Методы торцевого и скрытого контактов. Нагрузочные транзисторы в МОП ИС. Топология и технология изготовления интегрального эпитаксиально-планарного биполярного транзистора. Комплект фотошаблонов для изготовления интегрального биполярного транзистора. Этапы изготовления, совмещённая топология, асимметричная и симметричная конструкции интегрального биполярного транзистора. Этапы проектирования планарных биполярных транзисторов. Банк данных по топологии планарных биполярных транзисторов. Топология одноэмиттерного интегрального биполярного транзистора. Топология одноэмиттерного интегрального биполярного транзистора с малым сопротивлением коллектора, а также с малым сопротивлением базы и высоким коэффициентом усиления. Топология многоэмиттерного интегрального биполярного транзистора. Топология интегрального биполярного транзистора с общим коллектором. Топология и технология изготовления структуры интегрального диода. Конструирование и выбор структуры интегральных диодов. Пять вариантов диодного включения биполярного транзистора. Банк данных по топологии интегральных диодов. Топология интегрального диода на переходе база-коллектор и база-эмиттер. Конструирование и выбор структуры интегральных резисторов. Исходные данные для расчёта геометрических размеров интегральных резисторов. Диффузионные интегральные резисторы на основе эмиттерной и базовой областей. Высокоомный интегральный резистор ("меандр"). Эпитаксиальные интегральные резисторы. Диффузионные и эпитаксиальные интегральные пинч-резисторы. Ионно-легированные интегральные резисторы на основе базовой и коллекторной областей. Тонкоплёночные интегральные резисторы. Конструирование и выбор структуры интегральных конденсаторов. Исходные данные для расчёта геометрических размеров интегральных конденсаторов. Диффузионные интегральные конденсаторы на основе переходов эмиттер-база, база-коллектор, коллектор-подложка. Трассировка межсоединений при помощи САПР "ПАРОМ".</p>	
--	---	--

ПК.5	у12. владеть новыми технологиями, обеспечивающими повышение эффективности проектов, технологических процессов, эксплуатации и обслуживания новой техники в области электроники и нанoeлектроники;	Ввод принципиальной логической схемы и разработка топологии 8-канального таймера. Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Матричные БИС как объект проектирования. Стандартные, заказные и полузаказные БИС. БМК или вентильная матрица. Трудоемкость разработки заказных и матричных БИС. Сравнение различных методов проектирования. Микроконтроллеры. Классификация БМК. Основные характеристики и конструкция БМК 5503 ХМ 2. Топология базовой ячейки БМК 5503 ХМ 2. Технологический маршрут изготовления КМОП БИС на базе БМК 5503 ХМ 2. Электрическая схема базовой ячейки БМК 5503 ХМ 2. Специализация базовой ячейки БМК 5503 ХМ 2. Основные правила формирования "зашивок" библиотечных элементов. Магистральная ячейка, ее топология и электрическая схема. Каналы трассировки. Варианты реализации межсоединений БИС в канале трассировки. Библиотека элементов нулевого уровня. Альтернативная библиотека. Библиотека макроблоков. Детектор переднего фронта DET. Корпусирование БИС на основе БМК 5503 ХМ 2. Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера. Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ". Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Сигнал. Радиоэлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС. Динамика производства основных типов ИС на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и структура МОП-транзистора. Минимально допустимые размеры элементов МОП ИС. Конструирование МОП-транзисторов и топологии чипа на их основе. Два метода проектирования топологии ИС. Разработка эскиза топологии МОП ИС.	Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5	Зачет, теоретические вопросы 1-21, практические вопросы 1-21
------	---	--	---	--

		<p>Исходные данные при разработке топологии МОП ИС. Высококачественные МОП-транзисторы. Разводка в МОП ИС. МОП ИС с произвольной логикой и с регулярной структурой. Программируемые логические матрицы. Логические матрицы, программируемые потребителем. Минимизация площади чипа МОП ИС. Распределение площади между элементами БИС с произвольной логикой. Статические и динамические МОП ИС. Комплементарные МОП ИС. Сравнение характеристик КМОП ИС и ИС других типов. Совершенствование КМОП ИС. КМОП-структуры на сапфировой подложке. БиКМОП ИС. Сравнение типов ИС. Быстродействие. Производство времени задержки на мощность. Сборка электронной системы на БИС. Правило Рента. Правила проектирования Мида - Конвей. Контактные окна. Методы торцевого и скрытого контактов. Нагрузочные транзисторы в МОП ИС. Трассировка межсоединений при помощи САПР "ПАРОМ".</p>		
ПК.5	<p>у14. владеть современными программными средствами моделирования и проектирования приборов и устройств вакуумной, плазменной, твердотельной, микроволновой электроники и наноэлектроники;</p>	<p>Ввод принципиальной логической схемы и разработка топологии 8-канального таймера. Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Матричные БИС как объект проектирования. Стандартные, заказные и полузаказные БИС. БМК или вентильная матрица. Трудоемкость разработки заказных и матричных БИС. Сравнение различных методов проектирования. Микроконтроллеры. Классификация БМК. Основные характеристики и конструкция БМК 5503 ХМ 2. Топология базовой ячейки БМК 5503 ХМ 2. Технологический маршрут изготовления КМОП БИС на базе БМК 5503 ХМ 2. Электрическая схема базовой ячейки БМК 5503 ХМ 2. Специализация базовой ячейки БМК 5503 ХМ 2. Основные правила формирования "зашивок" библиотечных элементов. Магистральная ячейка, ее топология и электрическая схема. Каналы трассировки. Варианты реализации межсоединений БИС в канале трассировки. Библиотека элементов нулевого уровня. Альтернативная библиотека. Библиотека макроблоков. Детектор переднего фронта DET. Корпусирование БИС на основе БМК 5503 ХМ 2. Проектирование архитектуры системы. Проектирование логических и электрических схем. Проектирование топологии. Изготовление опытного образца ИС. Измерение характеристик ИС. Сравнительная трудоемкость этапов</p>	<p>Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5</p>	<p>Зачет, теоретические вопросы 1-21, практические вопросы 1-21</p>

	<p>проектирования БИС и СБИС. Проектирование топологии базовой ячейки БМК серии 5503 и исправление ошибок ввода логической схемы 8-канального таймера Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ" Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального n+-p-n транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Сигнал. Радиозлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС. Динамика производства основных типов ИС на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и структура МОП-транзистора. Минимально допустимые размеры элементов МОП ИС. Конструирование МОП-транзисторов и топологии чипа на их основе. Два метода проектирования топологии ИС. Разработка эскиза топологии МОП ИС. Исходные данные при разработке топологии МОП ИС. Высококачественные МОП-</p>	
--	--	--

	<p>транзисторы. Разводка в МОП ИС. МОП ИС с произвольной логикой и с регулярной структурой. Программируемые логические матрицы. Логические матрицы, программируемые потребителем. Минимизация площади чипа МОП ИС. Распределение площади между элементами БИС с произвольной логикой. Статические и динамические МОП ИС. Комплементарные МОП ИС. Сравнение характеристик КМОП ИС и ИС других типов. Совершенствование КМОП ИС. КМОП-структуры на сапфировой подложке. БиКМОП ИС. Сравнение типов ИС. Быстродействие. Производство времени задержки на мощность. Сборка электронной системы на БИС. Правило Рента. Правила проектирования Мида - Конвей. Контактные окна. Методы торцевого и скрытого контактов. Нагрузочные транзисторы в МОП ИС. Топология и технология изготовления интегрального эпитаксиально-планарного биполярного транзистора. Комплект фотошаблонов для изготовления интегрального биполярного транзистора. Этапы изготовления, совмещённая топология, асимметричная и симметричная конструкции интегрального биполярного транзистора. Этапы проектирования планарных биполярных транзисторов. Банк данных по топологии планарных биполярных транзисторов. Топология одноэмиттерного интегрального биполярного транзистора. Топология одноэмиттерного интегрального биполярного транзистора с малым сопротивлением коллектора, а также с малым сопротивлением базы и высоким коэффициентом усиления. Топология многоэмиттерного интегрального биполярного транзистора. Топология интегрального биполярного транзистора с общим коллектором. Топология и технология изготовления структуры интегрального диода. Конструирование и выбор структуры интегральных диодов. Пять вариантов диодного включения биполярного транзистора. Банк данных по топологии интегральных диодов. Топология интегрального диода на переходе база-коллектор и база-эмиттер. Конструирование и выбор структуры интегральных резисторов. Исходные данные для расчёта геометрических размеров интегральных резисторов. Диффузионные интегральные резисторы на основе эмиттерной и базовой областей. Высокоомный интегральный резистор ("меандр"). Эпитаксиальные</p>		
--	---	--	--

		<p>интегральные резисторы. Диффузионные и эпитаксиальные интегральные пинч-резисторы. Ионно-легированные интегральные резисторы на основе базовой и коллекторной областей. Тонкопленочные интегральные резисторы. Конструирование и выбор структуры интегральных конденсаторов. Исходные данные для расчёта геометрических размеров интегральных конденсаторов. Диффузионные интегральные конденсаторы на основе переходов эмиттер-база, база-коллектор, коллектор-подложка. Трассировка межсоединений при помощи САПР "ПАРОМ".</p>		
ПК.5	<p>у17. применять методы моделирования и проектирования приборов и устройств вакуумной, плазменной, твердотельной, микроволновой электроники и наноэлектроники;</p>	<p>Завершение разработки и проверка топологии биполярной заказной ИС при помощи САПР "ПАРОМ". Проектирование топологии биполярного транзистора при помощи САПР "ПАРОМ" Размещение компонентов биполярной ИС на поверхности чипа при помощи САПР "ПАРОМ". Разработка эскиза топологии заказной БИС. Ограничения на минимальные расстояния между элементами ИС и минимальные размеры элементов ИС. Перечень минимально допустимых размеров при разработке топологии ИС. Исходные данные и требования к разработке топологии ИС. Этапы разработки чертежа топологии ИС. Электрофизические характеристики и геометрические размеры вертикальной структуры интегрального p+-p-n транзистора. Соотношение горизонтальных размеров областей интегрального транзистора, имеющего минимальную площадь. Правила проектирования изолированных областей ИС. Правила размещения элементов ИС на поверхности чипа. Рекомендации по разработке эскиза топологии ИС. Предварительный вариант топологии ИС. Требования к окончательному варианту топологии ИС. Разработка документации на ИС. Перечень конструкторско-технологической документации на новую ИС. Стадии разработки ИС и литерность технологических документов. Сигнал. Радиоэлектроника и её основная задача. Чип. Интегральная схема. Пленочные, гибридные и совмещённые ИС. Серия ИС. Аналоговые, линейные, цифровые, логические и ИС с программируемой логикой (микропроцессоры). Автоматизированное и автоматическое проектирование заказных БИС. Системы автоматизированного проектирования заказных БИС. Элементы ИС. Степень интеграции. Этапы развития ИС. Динамика производства основных типов ИС</p>	<p>Контрольные работы, разделы 1-4, Курсовая работа, разделы 1-5</p>	<p>Зачет, теоретические вопросы 1-21, практические вопросы 1-21</p>

	<p>на мировом рынке. Пример современной разработки СБИС. Темы самостоятельной работы формулируются преподавателем по результатам контрольных недель и работ. Топология и технология изготовления интегрального эпитаксиально-планарного биполярного транзистора. Комплект фотошаблонов для изготовления интегрального биполярного транзистора. Этапы изготовления, совмещённая топология, асимметричная и симметричная конструкции интегрального биполярного транзистора. Этапы проектирования планарных биполярных транзисторов. Банк данных по топологии планарных биполярных транзисторов. Топология одноэмиттерного интегрального биполярного транзистора. Топология одноэмиттерного интегрального биполярного транзистора с малым сопротивлением коллектора, а также с малым сопротивлением базы и высоким коэффициентом усиления. Топология многоэмиттерного интегрального биполярного транзистора. Топология интегрального биполярного транзистора с общим коллектором. Топология и технология изготовления структуры интегрального диода. Конструирование и выбор структуры интегральных диодов. Пять вариантов диодного включения биполярного транзистора. Банк данных по топологии интегральных диодов. Топология интегрального диода на переходе база-коллектор и база-эмиттер. Конструирование и выбор структуры интегральных резисторов. Исходные данные для расчёта геометрических размеров интегральных резисторов. Диффузионные интегральные резисторы на основе эмиттерной и базовой областей. Высокоомный интегральный резистор ("меандр"). Эпитаксиальные интегральные резисторы. Диффузионные и эпитаксиальные интегральные пинч-резисторы. Ионно-легированные интегральные резисторы на основе базовой и коллекторной областей. Тонкоплёночные интегральные резисторы. Конструирование и выбор структуры интегральных конденсаторов. Исходные данные для расчёта геометрических размеров интегральных конденсаторов. Диффузионные интегральные конденсаторы на основе переходов эмиттер-база, база-коллектор, коллектор-подложка. Трассировка межсоединений при помощи САПР "ПАРОМ".</p>	
--	---	--

2. Методика оценки этапов формирования компетенций в рамках дисциплины.

Промежуточная аттестация по дисциплине проводится в 8 семестре - в форме дифференцированного зачета, который направлен на оценку сформированности компетенций ПК.2, ПК.3, ПК.5.

Зачет проводится в письменной форме, по билетам.

Кроме того, сформированность компетенций проверяется при проведении мероприятий текущего контроля, указанных в таблице раздела 1.

В 8 семестре обязательным этапом текущей аттестации являются контрольная работа, курсовая работа. Требования к выполнению контрольной работы, курсовой работы, состав и правила оценки сформулированы в паспорте контрольной работы, курсовой работы.

Общие правила выставления оценки по дисциплине определяются балльно-рейтинговой системой, приведенной в рабочей программе учебной дисциплины.

На основании приведенных далее критериев можно сделать общий вывод о сформированности компетенций ПК.2, ПК.3, ПК.5, за которые отвечает дисциплина, на разных уровнях.

Общая характеристика уровней освоения компетенций.

Ниже порогового. Уровень выполнения работ не отвечает большинству основных требований, теоретическое содержание курса освоено частично, пробелы могут носить существенный характер, необходимые практические навыки работы с освоенным материалом сформированы не достаточно, большинство предусмотренных программой обучения учебных заданий не выполнены или выполнены с существенными ошибками.

Пороговый. Уровень выполнения работ отвечает большинству основных требований, теоретическое содержание курса освоено частично, но пробелы не носят существенного характера, необходимые практические навыки работы с освоенным материалом в основном сформированы, большинство предусмотренных программой обучения учебных заданий выполнено, некоторые виды заданий выполнены с ошибками.

Базовый. Уровень выполнения работ отвечает всем основным требованиям, теоретическое содержание курса освоено полностью, без пробелов, некоторые практические навыки работы с освоенным материалом сформированы недостаточно, все предусмотренные программой обучения учебные задания выполнены, качество выполнения ни одного из них не оценено минимальным числом баллов, некоторые из выполненных заданий, возможно, содержат ошибки.

Продвинутый. Уровень выполнения работ отвечает всем требованиям, теоретическое содержание курса освоено полностью, без пробелов, необходимые практические навыки работы с освоенным материалом сформированы, все предусмотренные программой обучения учебные задания выполнены, качество их выполнения оценено числом баллов, близким к максимальному.

Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Новосибирский государственный технический университет»
Кафедра полупроводниковых приборов и микроэлектроники

Паспорт зачета

по дисциплине «Основы проектирования электронной
компонентной базы», 8 семестр

1. Методика оценки

Зачет проводится в письменной форме, по билетам. Билет формируется по следующему правилу: первый вопрос выбирается из диапазона теоретических вопросов 1-21, второй вопрос из диапазона практических вопросов 1-21 (список вопросов приведен ниже). В ходе зачета преподаватель вправе задавать студенту дополнительные вопросы из общего перечня (п. 4).

Форма билета для зачета

НОВОСИБИРСКИЙ ГОСУДАРСТВЕННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
Факультет РЭФ

Билет № 1

к зачету по дисциплине «**Основы проектирования электронной
компонентной базы**»

Вопрос 1. Топология и формирование структуры биполярного транзистора.

Вопрос 2. Рассчитать и построить топологию резистора занимающего минимальную площадь. Вариант № 1.

Утверждаю: зав. кафедрой ППиМЭ _____ Гайслер В.А.

2. Критерии оценки

- Ответ на билет для зачета считается **неудовлетворительным**, если студент при ответе на вопросы не дает определений основных понятий, не способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает синтаксические ошибки, оценка составляет 0-9 баллов.
- Ответ на билет для зачета засчитывается на **пороговом** уровне, если студент при ответе на вопросы дает определение основных понятий, способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает непринципиальные ошибки, например, логические ошибки, оценка составляет 10-13 баллов.
- Ответ на билет для зачета билет засчитывается на **базовом** уровне, если студент при ответе на вопросы формулирует основные понятия, способен составить блок-схему алгоритма решения поставленной задачи, при решении задачи допускает ошибки, оценка составляет 14-17 баллов.
- Ответ на билет для зачета билет засчитывается на **продвинутом** уровне, если студент при ответе на вопросы проводит сравнительный анализ подходов к решению поставленной задачи, предлагает возможные другие подходы к решению задачи, не допускает ошибок и способен обосновать выбор метода решения задачи, оценка составляет 18-20 баллов.

3. Шкала оценки

Зачет считается сданным, если сумма баллов по всем заданиям билета оставляет не менее 10 баллов (из 20 возможных). Правила аттестации приведены в рабочей программе дисциплины.

В общей оценке по дисциплине баллы за зачет учитываются в соответствии с правилами балльно-рейтинговой системы, приведенными в рабочей программе дисциплины.

4. Вопросы к зачету по дисциплине «Основы проектирования электронной компонентной базы»

Теоретический вопрос

1. Топология и формирование структуры биполярного транзистора.
2. Симметричная и асимметричная конструкция биполярного интегрального транзистора.
3. Конструирование и выбор структуры интегральных диодов и диффузионных конденсаторов.
4. Конструирование и выбор структуры интегральных резисторов. Диффузионные резисторы.
5. Эпитаксиальные резисторы. Пинч-резисторы. Ионно-легированные резисторы. Тонкопленочные резисторы.
6. Перемычки, межсоединения, контактные площадки и фигуры совмещения.
7. Правила проектирования изолированных областей.
8. Правила размещения элементов ИС на поверхности чипа.
9. Рекомендации по разработке эскиза топологии ИС.
10. Требования к окончательному варианту топологии ИС.
11. Проектирование топологии ИС и печатной платы. Алгоритм Ли.
12. Транзисторы и диоды Шоттки в ИС.
13. Этапы разработки ИС и их краткая характеристика.
14. Разработка эскиза топологии МОП ИС.
15. Совмещение и экспонирование. Номинальный и реальный зазоры.
16. Расчет топологических размеров областей транзистора.
17. Конструирование и выбор структуры интегральных МДМ и МДП - конденсаторов.
18. Изоляция элементов ИС.
19. Разработка документации на ИС.
20. Топология базовой ячейки БМК 5501 ХМ2.
21. Технологический маршрут изготовления БМК 5501 ХМ2.

Практический вопрос

Для всех вариантов:

- 1) Рассчитать и построить топологию резистора или резистора занимающего минимальную площадь. Для всех вариантов:
На рисунке топологии указать размеры в мкм и № всех слоёв в порядке изготовления в составе БИС.
Рассчитать максимально допустимый через резистор ток.

Рассчитать максимально допустимое рабочее напряжение для МДП и МДМ конденсаторов.

2) Параметры для расчёта топологии брать из таблицы для типовых конструктивных параметров, выданной на лекции по следующему порядку:

Варианты заданий № 1, 4, 7, 10, 13, 16, 19: Усилительный транзистор с изоляцией p-n – переходом.

Варианты заданий № 3, 5, 8, 12, 14, 17, 21: Вентильный транзистор с изоляцией p-n – переходом.

Варианты заданий № 2, 6, 9, 11, 15, 18, 20: Вентильный транзистор с изоляцией окислом.

Для всех вариантов: 3) Топологию рассчитать для элемента на основе:

Вариант № Р – резистор

К - конденсатор

1Р - базового слоя.

2К – перехода коллектор-подложка.

3Р – тонкоплёночный.

4К – МДМ.

5Р – эмиттерного слоя.

6К – перехода база-коллектор.

7Р – эпитаксиального слоя.

8К – МДП.

9Р – диффузионный пинч-резистор.

10К - перехода эмиттер-база.

11Р – коллекторной области ионно-легированный.

12К – перехода коллектор-подложка.

13Р – эпитаксиальный пинч-резистор.

14К – перехода база-коллектор.

15Р – базовой области ионно-легированный.

16К – перехода база-коллектор.

17Р - базового слоя.

18К – МДП.

19Р – диффузионный пинч-резистор.

20К – МДМ.

21Р - базового слоя.

4) Для всех вариантов:

а) Жидкостное травление слоёв.

б) Разрешение фотолитографии принять $\Delta = 1,6$ мкм.

в) Параметры для расчёта брать из лекций, если задан диапазон, то брать среднее значение.

г) Номинал резистора или конденсатора равен номеру варианта на зачете в кОм или пФ. Однако для эмиттерного слоя и пинч номинал соответственно брать $R/10$ и $R*10$.

5) Для всех вариантов: Начать выполнение контрольной работы, написав «задание № 5»: Проанализировать сочетание параметров выданного варианта задания и написать, что данное задание выполнить невозможно и кратко пояснить, почему и попросить дать другой вариант. Если задание выполнить возможно то написать об этом и приступить к его выполнению.

Федеральное государственное бюджетное
образовательное учреждение
высшего образования
«Новосибирский государственный технический университет»
Кафедра полупроводниковых приборов и микроэлектроники

Паспорт контрольной работы

по дисциплине «Основы проектирования электронной
компонентной базы», 8 семестр

1. Методика оценки

Контрольная работа проводится по теме «Проектирование топологии интегральных резисторов и конденсаторов» включает 10 заданий. Выполняется письменно по вариантам. Темы и структура заданий приведена в пункте 4.

2. Критерии оценки

Каждое задание контрольной работы оценивается в соответствии с приведенными ниже критериями.

Контрольная работа считается **невыполненной**, если отсутствует рисунок топологии элемента и проведен расчет с существенными ошибками. Оценка составляет 0-4 баллов.

Работа выполнена на **пороговом** уровне, если есть рисунок топологии элемента, но расчеты имеют ошибки. Оценка составляет **5 – 6,5** баллов.

Работа выполнена на **базовом** уровне, если рисунок топологии выполнен правильно, но при расчете топологических размеров имеются незначительные неточности. Оценка составляет 6,6-**8,5** баллов.

Работа считается выполненной **на продвинутом** уровне, если рисунок топологии элемента и расчеты выполнены без ошибок. Оценка составляет 8,6-10 баллов.

3. Шкала оценки

Контрольная работа считается выполненной положительно, если сумма баллов по всем заданиям оставляет не менее 5 баллов (из 10 возможных). Правила аттестации приведены в рабочей программе дисциплины.

В общей оценке по дисциплине баллы за контрольную работу учитываются в соответствии с правилами балльно-рейтинговой системы, приведенными в рабочей программе дисциплины.

4. Типовые задания для контрольной работы

Для всех вариантов: 1) Рассчитать и построить топологию резистора или конденсатора занимающего минимальную площадь. На рисунке топологии указать размеры в мкм и № всех слоёв в порядке изготовления в составе БИС.

Рассчитать максимально допустимый через резистор ток.

Рассчитать максимально допустимое рабочее напряжение для МДП и МДМ конденсаторов.

2) Параметры для расчёта топологии брать из таблицы для типовых конструктивных параметров, выданной на лекции по следующему порядку:

Варианты № 1, 4, 7, 10, 13: Усилительный транзистор с изоляцией p-n – переходом.

Варианты № 3, 5, 8, 12, 14: Вентильный транзистор с изоляцией p-n – переходом.

Варианты № 2, 6, 9, 11, 15: Вентильный транзистор с изоляцией окислом.

Для всех вариантов: 3) Топологию рассчитать для элемента на основе:

Вариант №

1Р - базового слоя.

2К – перехода коллектор-подложка.

3Р – тонкоплёночный.

4К – МДМ.

5Р – эмиттерного слоя.

6К – перехода база-коллектор.

7Р – эпитаксиального слоя.

8К – МДП.

9Р – диффузионный пинч-резистор.

10К - перехода эмиттер-база.

11Р – коллекторной области ионно-легированный.

12К – перехода коллектор-подложка.

13Р – эпитаксиальный пинч-резистор.

14К – перехода база-коллектор.

15Р – базовой области ионно-легированный.

4) Для всех вариантов:

а) Жидкостное травление слоёв.

б) Разрешение фотолитографии принять $\Delta = 1,6$ мкм.

в) Параметры для расчёта брать из лекций, если задан диапазон, то брать среднее значение.

г) Номинал резистора или конденсатора равен номеру варианта в кОм или пФ. Однако для эмиттерного слоя и пинч номинал соответственно брать $R/10$ и $R*10$.

Паспорт курсовой работы

по дисциплине «Основы проектирования электронной
компонентной базы», 8 семестр

1. Методика оценки.

Задание к курсовой работе

Цель КР: Приобретение практических навыков решения инженерной задачи создания конкретного микроэлектронного изделия, а также закрепление, углубление и обобщение теоретических знаний, полученных на предыдущих этапах обучения в вузе.

Перечень заданий

- 1) Ввести электрическую схему ИС при помощи САПР “MicroCAP9”. Определить токи и напряжения во всех элементах ИС и результат анализа оформить в виде таблицы, а также привести <PrintScreen> результатов анализа.
- 2) Рассчитать топологию резисторов, конденсаторов, диодов и транзисторов исходя из минимально возможных размеров. Все расчёты привести в пояснительной записке. Принять $\Delta = 2$ мкм, $\Delta_1 = \pm 0,5$ мкм.
- 3) Провести корректировку топологии с учётом мощности рассеивания. Для транзисторов минимальный размер эмиттера определяется допустимой плотностью тока $j < 20$ мкА/мкм², либо линейной плотностью $j < 160$ мкА/мкм, приходящейся на единицу длины периметра эмиттера. Последний критерий используется при средних и больших токах, когда ширина эмиттера больше 3 мкм. Для алюминиевой шины не рекомендуется превышать плотность тока 0,5 мА/мкм². Для резисторов мощность рассеивания не должна превышать $10^3 \div 10^4$ мВт/мм².
- 4) Разработать топологию при помощи пакета “ПАРОМ”. Банк данных топологии транзисторов и диодов брать из учебника

- Коледова Л.А. “Конструирование и технология микросхем”.
- 5) Необходимо сдать пояснительную записку в печатном виде и 3 файла (ПАРОМ, MicroCAP и WORD).

Структура курсовой работы

Содержание пояснительной записки (15 ÷ 20 стр.)

1. Текст задания.
2. Электрическая схема: распечатанная из MicroCAP и ксерокопия схемы из справочника “Микросхемы для линейных источников питания и их применение: справочник. - М., 1998”.
3. Краткое описание технологии изготовления в виде пронумерованного перечня операций с указанием толщины, глубины, величины R_s .
4. Расчёт топологии транзисторов, диодов, резисторов и конденсаторов (привести расчёт полностью).
5. Распечатать совмещённую топологию.
6. Распечатать из MicroCAP график стабилизации напряжения.
7. Выводы.

Этапы выполнения и защиты курсовой работы

Работа выполняется по свободному графику и должна быть сдана не позже 1 недели до зачетной недели. Преподаватель оценивает выполненную студентом курсовую работу и ставит оценку и баллы. При необходимости студент может прийти на защиту при возникновении вопросов по замечаниям преподавателя, которые преподаватель пишет на титульном листе пояснительной записки.

Оцениваемые позиции

Курсовая работа оценивается по 11 критериям, которые доводятся до студентов только после выполнения работы при защите. Критерии формируются для всех студентов одинаковые после изучения более 50% выполненных и сданных на проверку курсовых работ. Примеры критериев:

- получена хорошая стабилизация напряжения;
- разработанная топология микросхемы соответствует конструктивно топологическим нормам;
- имеются таблицы с результатами моделирования электрической схемы, и они не содержат ошибок;

- выполнено уплотнение топологии при размещении компонентов интегральной схемы и т.д.

2. Критерии оценки.

- работа считается **не выполненной**, если топология спроектирована менее чем на 50% правильно, оценка составляет менее 50 баллов.
- работа считается выполненной **на пороговом** уровне, если топология выполнена правильно более чем на 80%, оценка составляет 51-72 баллов.
- работа считается выполненной **на базовом** уровне, если топология выполнена на 100% правильно, но есть ошибки по некоторым критериям оценки, оценка составляет 73-86 баллов.
- работа считается выполненной **на продвинутом** уровне, если топология выполнена на 100% правильно и нет ошибок, оценка составляет 87-100 баллов.

3. Шкала оценки.

Курсовая работа считается выполненной положительно, если сумма баллов по всем заданиям оставляет не менее 50 баллов (из 100 возможных). Правила аттестации приведены в рабочей программе дисциплины.

В общей оценке по дисциплине баллы за работы учитываются в соответствии с правилами балльно-рейтинговой системы, приведенными в рабочей программе дисциплины.

4. Примерный перечень тем курсовой работы

Разработка топологии микросхемы μA 79xx
Разработка топологии микросхемы μA 78xx
Разработка топологии микросхемы 142 EH $\frac{1}{2}$
Разработка топологии микросхемы MC79Lxx
Разработка топологии микросхемы KP142 EH $\frac{1}{2}$
Разработка топологии микросхемы μA 723
Разработка топологии микросхемы LM 317
Разработка топологии микросхемы μA 78L00
Разработка топологии микросхемы LM 196
Разработка топологии микросхемы LM 196
Разработка топологии микросхемы LM 2931

5. Перечень вопросов к защите курсовой работы

Защита в форме собеседования по вопросам пояснительной записки. Специального перечня вопросов заранее не выдается. Вопросы задает студент на защите, если ему не понятны какие-то замечания и ошибки, которые содержатся в его курсовой работе.